

# Chemins de données robustes pour les systèmes de traitement du signal

Denis Teixeira Franco  
COMELEC / ENST-Paris  
46, rue Barrault  
75013 Paris

Jean-François Naviner  
COMELEC / ENST-Paris  
46, rue Barrault  
75013 Paris

Lirida Naviner  
COMELEC / ENST-Paris  
46, rue Barrault  
75013 Paris

E-mail: denis.teixeira@enst.fr

## Résumé

Les circuits intégrés CMOS ont connu une évolution constante depuis quelques décennies, mais l'arrivée aux dimensions nanométriques pose des problèmes de plus en plus complexes. Parmi les problèmes anticipés, le rendement de fabrication et la fiabilité d'opération ont déjà montré leurs effets et compliquent sérieusement l'emploi des nouvelles technologies. Cette menace oblige à un changement du flux traditionnel de projet des systèmes intégrés, en considérant la fiabilité et le rendement comme des contraintes du circuit dès le début du développement. Dans cet article nous présentons le début de l'étude d'une architecture reconfigurable pour la mise en œuvre des systèmes de traitement du signal. Telle architecture utilisera la reconfigurabilité pour gérer le problème du rendement de fabrication et intégrera des circuits auto-contrôlables pour assurer la fiabilité.

## 1. Introduction

La réduction constante des dimensions des structures intégrées a permis à la technologie CMOS d'évoluer à un taux prévu par la loi de Moore [6]. Les gains en vitesse, surface et consommation étaient une conséquence directe de la réduction d'échelle des composants. Lorsque les dimensions des composants intégrés s'approchent du nanomètre, cette évolution n'est plus simple, et la réduction des circuits pose des problèmes qui empêchent des gains directs observés dans le passé. Comportements quantiques, courants de fuite, bruits thermiques et fluctuations paramétriques sont quelques exemples des difficultés qui se présentent à l'échelle nanométrique.

En considérant des fluctuations paramétriques et les dimensions qui dépassent la précision lithographique, le rendement de fabrication des circuits CMOS sera de plus en plus réduit, et les architectures reconfigurables sont la solution la plus étudiée pour une conception ascendante de circuits intégrés [3, 2]. En considérant le bruit thermique, la réduction de la tension d'opération et l'augmentation de fréquence, les circuits intégrés seront de plus en plus vulnérables aux fautes transitoires et l'utilisation de redondance spatiale est une des méthodes proposées pour augmenter la fiabilité des circuits CMOS nanométriques [4, 8].

Dans le cadre de technologies à un faible rendement et de circuits plus vulnérables, ce projet de recherche propose le développement d'une architecture reconfigurable basée sur les blocs auto-contrôlables pour l'implémentation des systèmes de traitement du signal.

## 2. Architecture du système

La Figure 1 montre l'architecture générale du système. L'architecture proposée ressemble à l'organisation matricielle des FPGAs traditionnels, avec des blocs logiques ( $L$ ) et les opérateurs de traitement du signal ( $OP$ ) qui peuvent être interconnectés par des canaux de routage programmables. La configuration de l'architecture sera guidée par des algorithmes évolutionnistes qui évalueront la réponse du système et le reconfigureront de façon à permettre l'exécution correcte de l'application cible.

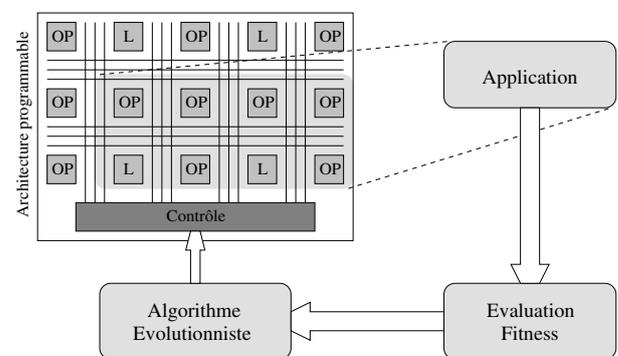


FIG. 1. Architecture reconfigurable proposée.

Les blocs logiques ( $L$ ) sont prévus pour l'implémentation de la logique aléatoire séquentielle et combinatoire. Les blocs opérateurs ( $OP$ ) sont prévus pour l'implémentation des fonctions spécifiques de traitement du signal comme, par exemple, les filtres à réponse impulsionnelle finie (RIF). Pour permettre la tolérance aux défauts et aux fautes, les blocs de l'architecture auront une structure auto-contrôlable qui signalera la présence d'erreur dans le circuit. La figure 2 montre la composition interne d'un bloc opérateur ( $OP$ ). Les structures de stockage de données du type registre ( $R$ ) et mémoire ( $M$ ) sont aussi présents dans le bloc opérateur.

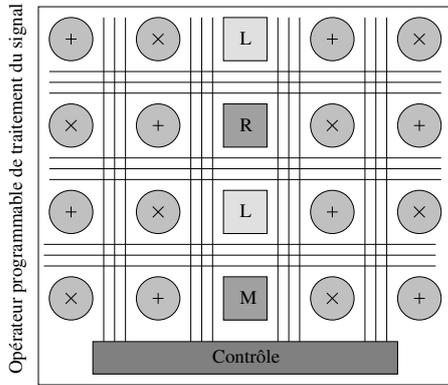


FIG. 2. Opérateur du traitement du signal.

### 3. Opérateurs robustes

La spécification du bloc opérateur passe par une étude détaillée des opérateurs arithmétiques robustes ou auto-contrôlables. Les opérateurs envisagés sont les additionneurs et les multiplieurs, les circuits essentiels dans la plupart des fonctions de traitement du signal. Plusieurs types d'opérateurs arithmétiques robustes ont été proposés dans la littérature et, pour le présent projet, une bibliothèque avec quelques opérateurs a été créée en utilisant VHDL comme langage de description.

Les trois additionneurs classiques décrits pour l'implémentation de systèmes robustes sont basés sur la propagation de retenue (*ripple carry*), la sélection de retenue (*carry select*) et l'anticipation de retenue (*carry lookahead*). Deux additionneurs à temps constant ont été aussi décrits, basés sur le système de représentation redondante des données du type nombres signés (*signed digits*). Une seule multiplieur a été décrit pour l'instant en utilisant une architecture du type Booth-2.

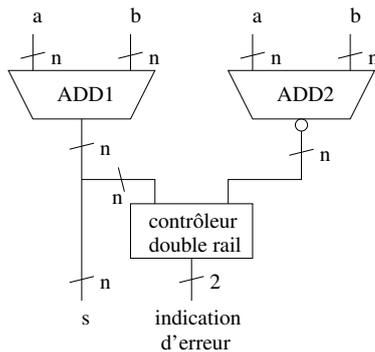


FIG. 3. Additionneur robuste basé sur duplication.

Pour les additionneurs classiques, deux types de détection concurrentielle de fautes, la duplication et la prédiction de parité, ont été implémentées [4, 7]. La duplication est la méthode plus directe de contrôle mais présente un surcoût matériel important. La Figure 3 montre le schéma de contrôle basé sur la duplication. Dans la figure, nous observons que le circuit dupliqué présente une sortie complémentaire à la sortie du circuit

contrôlé pour permettre l'utilisation des contrôleurs du type double rail.

$$Ps = Pa \oplus Pb \oplus Pc \quad (1)$$

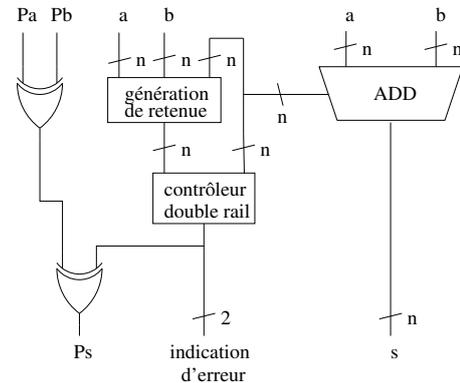


FIG. 4. Additionneur avec prédiction de parité.

Les additionneurs basés sur la prédiction de parité utilisent la propriété présentée dans l'équation 1 pour calculer la parité du résultat ( $P_s$ ) selon la parité des mots d'entrées ( $P_a, P_b$ ) et la parité des retenues ( $P_c$ ) générées dans le circuit (et la retenue entrante). Cette méthode prend en compte un chemin de donnée contrôlé par la parité. Le faible surcoût en comparaison à la duplication est le principal avantage de cette méthode mais des modifications dans la structure interne des opérateurs arithmétiques sont nécessaires. La figure 4 montre le schéma d'un additionneur à prédiction de parité. Le signal d'indication d'erreur concerne les erreurs dans le circuit de génération des retenues.

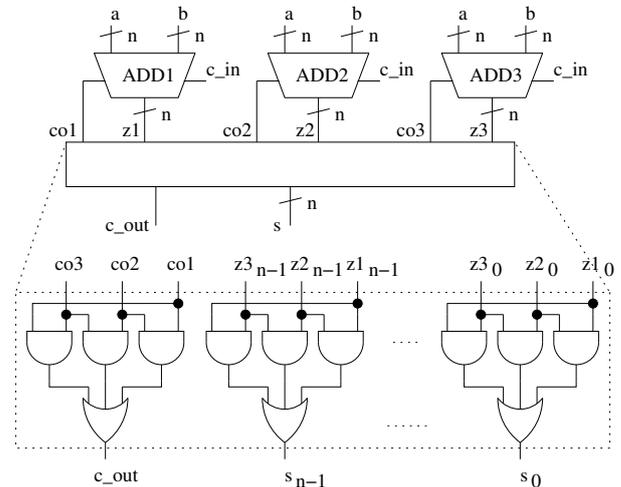


FIG. 5. Rédundance modulaire triple.

Une version tolérante aux pannes basée sur la redondance modulaire triple (TMR) [4] a été décrite pour les additionneurs classiques. Cette méthode traditionnelle de tolérance aux pannes permet au circuit de masquer l'occurrence des erreurs. La TMR est d'implémentation simple mais le surcoût très important reste son point faible ainsi que la vulnérabilité du circuit d'arbitrage des

sorties. La figure 5 montre le schéma des additionneurs basés sur la TMR.

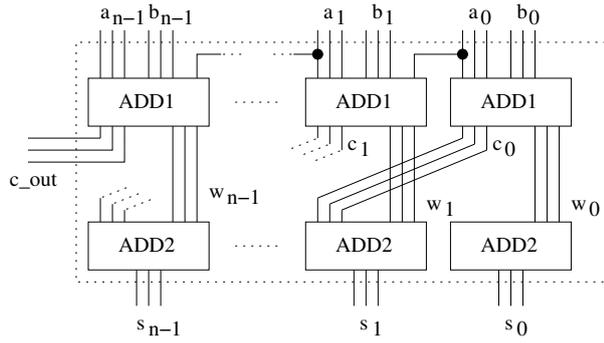


FIG. 6. Additionneur à temps constant.

La prédiction de parité est aussi la méthode d'auto-contrôle implémentée dans l'additionneur à temps constant du type radix-2. Le codage des nombres signés a été choisi pour faciliter l'implémentation de la structure de contrôle [1]. Le second additionneur à temps constant utilise un codage de type 1-parmi-3 [10, 11]. La Figure 6 montre la structure de cet additionneur à temps constant. Les blocs *ADD1* génèrent des valeurs intermédiaires d'addition et retenue de façon à ne jamais produire une retenue dans l'addition finale effectuée par le bloc *ADD2*.

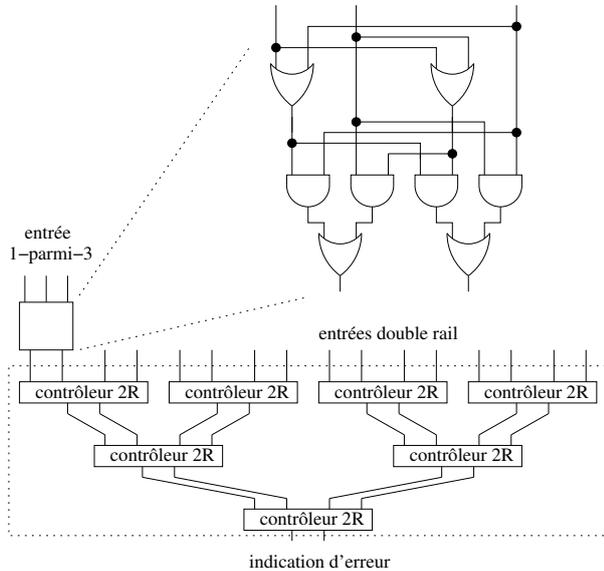


FIG. 7. Contrôleur pour le code 1-parmi-3.

Un souci concernant les additionneurs à temps constant est la reconvension des données vers la représentation complément à deux, qui est basée sur un additionneur classique. La représentation des données en code 1-parmi-3 permet l'utilisation d'un contrôleur directement à la sortie, sans aucune modification du circuit de l'additionneur. La Figure 7 montre le circuit contrôleur implémenté, où le code 1-parmi-3 est converti vers un code double rail et un arbre de contrôleurs double rail (*contrôleur 2R* dans la figure) est utilisé pour la détection

des erreurs.

Le multiplieur Booth-2 utilise aussi la prédiction de parité comme méthode de contrôle [9, 5]. Les équations 2 et 3 montrent le procédé pour la prédiction de parité du résultat de la multiplication, où  $P_{pp}$  est la parité des produits partiels. L'architecture générale du multiplieur auto-contrôlable est montré dans la Figure 8.

$$P_s = P_{pp} \oplus P_c \quad (2)$$

$$P_{pp} = P_a \wedge P_b \quad (3)$$

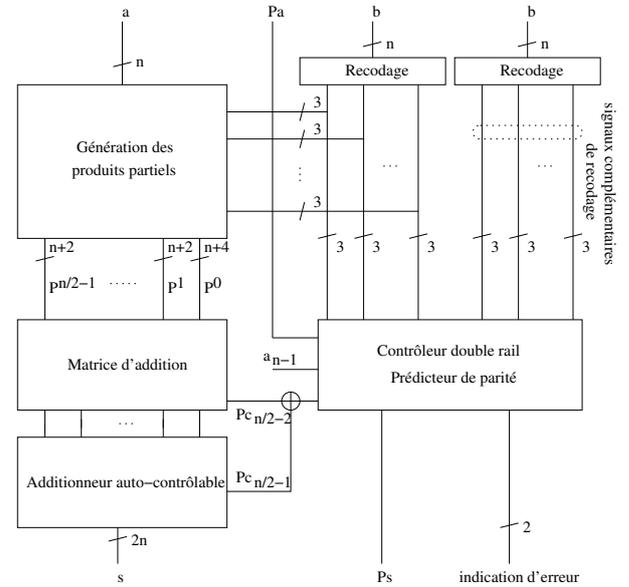


FIG. 8. Additionneur à temps constant.

#### 4. Résultats de synthèse

Pour vérifier le coût de la robustesse dans les opérateurs décrits jusqu'à présent, ils ont été synthétisés dans une technologie de cellules standards 350 nm avec une longueur de données de 16-bit. La Figure 9 montre le rapport de surface pour les additionneurs classiques, qui exprime la relation entre l'implémentation robuste et l'implémentation non robuste. Dans la figure, la légende *Originel* indique le circuit non robuste avec une surface unitaire, *Dup* indique le circuit contrôlé par duplication, *Par* indique le contrôle basé sur parité (sauf pour l'additionneur avec codage 1-parmi-3) et *TMR* indique la redondance modulaire triple.

La Figure 10 montre le rapport de surface pour les additionneurs à temps constant et le multiplieur. Dans la figure, la légende *Originel* indique le circuit non robuste avec une surface unitaire et *auto-contrôlable* indique la version robuste du circuit.

Les résultats de synthèse permettent un premier regard sur le coût en surface des opérateurs proposés mais ils ne doivent pas être vus comme une indication de la meilleure solution, car plusieurs compromis et contraintes peuvent être considérés telle que la technologie d'implémentation. En fait, des résultats plus exploitables seront disponibles grâce à la mise en œuvre de

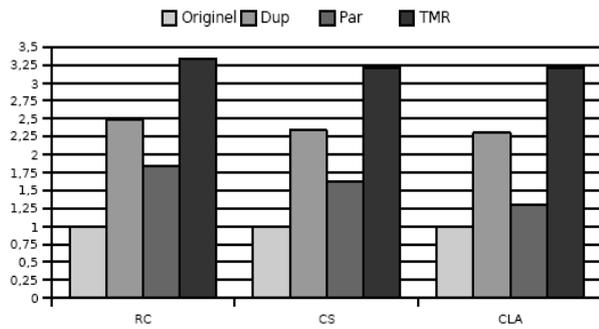


FIG. 9. Surface des additionneurs classiques.

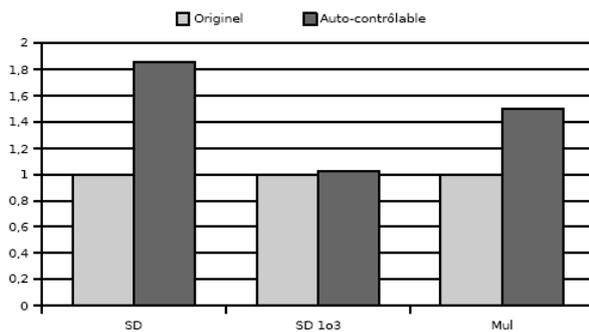


FIG. 10. Additionneurs à temps constant et multiplieur.

systèmes de traitement du signal basés sur les opérateurs disponibles, ce qui permettra d'évaluer le coût réel de la robustesse en considérant son impact sur tous les composants du système. Pour cela, nous sommes en train de développer des multiplieurs pour les nombres signés. Même si les opérateurs basés sur les représentations redondantes ont un surcoût très important, de l'ordre de 4 à 6,3 fois la surface d'un additionneur à propagation de retenue équivalent (pour une technologie CMOS), ils peuvent compenser ce surcoût en surface avec une performance intéressante et une fiabilité plus importante. L'additionneur avec la codage 1-parmi-3, par exemple, présente la surface la plus importante parmi les additionneurs mais, par contre, sa version robuste présente le plus faible surcoût en surface (2,5%).

## 5. Conclusion

Cet article a montré des propositions pour la mise en œuvre robuste de systèmes reconfigurables de traitement du signal. A cette fin, quelques opérateurs arithmétiques robustes ont été décrits et d'autres sont en train d'être développés pour l'implémentation d'opérateurs plus complexes du traitement du signal. Au delà de la comparaison directe des solutions étudiées, un premier objectif est la caractérisation de telles solutions selon les critères de fiabilité et la couverture de fautes.

## Références

- [1] G. C. Cardarilli, M. Ottavi, S. Pontarelli, M. Re, and A. Salsano. Error detection in Signed Digit Arithmetic circuit with parity checker [adder example]. *Proceedings of the 18th IEEE International Symposium on Defect and Fault Tolerance in VLSI Systems*, 01 :401–408, Nov. 2003.
- [2] D. T. Franco, J.-F. Naviner, and L. Naviner. Yield and reliability issues in nanotechnologies. *Annales des télécommunications*, 61(11-12), Nov.-Dec. 2006.
- [3] S. C. GOLDSTEIN and M. BUDIUI. NanoFabrics : Spatial Computing Using Molecular Electronics. *Proceedings of the 28th International Symposium on Computer Architecture*, pages 178–189, Jun. 2001.
- [4] P. K. Lala. *Self-Checking and Fault-Tolerant Digital Design*. Morgan Kaufmann Publishers, USA, 2001.
- [5] D. Marienfeld, E. Sogomonyan, V. Ocheretnij, and M. Gossel. New Self-checking Output-Duplicated Booth Multiplier with High Fault Coverage for Soft Errors. *Proceedings of the 14th Asian Test Symposium (ATS'05)*, 1 :76–81, Dec. 2005.
- [6] E. Mollick. Establishing Moore's Law. *IEEE Annals of the History of Computing*, 28(3) :62–75, Jul.-Sep. 2006.
- [7] M. Nicolaidis. Carry Checking/Parity Prediction Adders and ALUs. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 11(1) :121–128, Feb. 2003.
- [8] M. Nicolaidis. Design for Soft Error Mitigation. *IEEE Transactions on Device and Materials Reliability*, 5(3) :405–418, Sep. 2005.
- [9] M. Nicolaidis and R. O. Duarte. Fault-Secure Parity Prediction Booth Multipliers. *IEEE Design & Test of Computers*, 16(3) :90–101, Jul.-Sep. 2005.
- [10] W. J. Townsend, J. A. Abraham, and P. K. Lala. On-Line Error Detecting Constant Delay Adder. *Proceedings of the 9th IEEE International On-Line Testing Symposium (IOLTS'03)*, 01 :17–22, Jul. 2003.
- [11] J. Q. Wang and P. K. Lala. Partially Strongly Fault Secure and Partially Strongly Code-Disjoint 1-out-of-3 Code Checker. *IEEE Transactions on Computers*, 43(10) :1238–1240, Oct. 1994.