

UNIVERSIDADE FEDERAL DO RIO GRANDE
CENTRO DE CIÊNCIAS COMPUTACIONAIS
PROGRAMA DE PÓS-GRADUAÇÃO EM COMPUTAÇÃO
CURSO DE MESTRADO EM ENGENHARIA DE COMPUTAÇÃO

Dissertação de Mestrado

**Método para o Cálculo da Confiabilidade de Portas Lógicas na
Presença de Falhas *Stuck-On* e *Stuck-Open***

RAFAEL BUDIM SCHVITZ

Dissertação de Mestrado apresentada ao Programa de Pós-Graduação em Computação da Universidade Federal do Rio Grande, como requisito parcial para a obtenção do grau de Mestre em Engenharia de Computação

Orientador: Prof. Dr. Paulo Francisco Butzen
Co-orientadora: Prof^a. Dr^a. Cristina Meinhardt

Rio Grande, 2017

Ficha catalográfica

S337m Schvitz, Rafael Budim.

Método para o cálculo de confiabilidade de portas lógicas na presença de falhas Stuck-On e Stuck-Open / Rafael Budim Schvitz. – 2017.
69 f.

Dissertação (mestrado) – Universidade Federal do Rio Grande – FURG, Programa de Pós-graduação em Engenharia de Computação, Rio Grande/RS, 2017.

Orientador: Dr^a. Paulo Francisco Butzen.

Coorientadora: Dr^a. Cristina Meinhardt.

1. Microeletrônica 2. Tolerância a falhas 3. CMOS 5. Probabilidade
5. Análise de confiabilidade 6. Portas lógicas I. Butzen, Paulo Francisco
II. Meinhardt, Cristina III. Título.

CDU 004.2

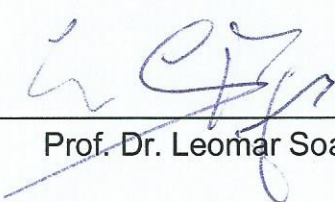
ATA DE SESSÃO DE DEFESA DE DISSERTAÇÃO DE MESTRADO

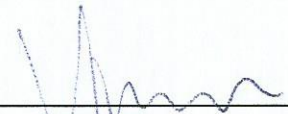
Ata nº 01 /2017

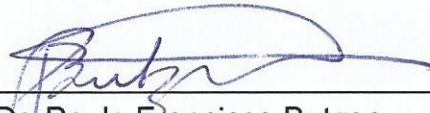
Na data de 15 de fevereiro de 2017, às 10 horas, ocorreu a Sessão de Defesa de Dissertação de Mestrado de Rafael Budim Schivitz, que apresentou a dissertação intitulada “Método para o Cálculo da Confiabilidade de Portas Lógicas na Presença de Falhas Stuck-On e Stuck-Open”, realizada sob a orientação do Prof. Dr. Paulo Francisco Butzen e co-orientação da Profa. Dra. Cristina Meinhardt. A banca examinadora foi constituída pelos Profs. Drs. Leomar Soares da Rosa Júnior (UFPel) e Vagner Santos da Rosa (FURG), sob a presidência do orientador. Após a apresentação do trabalho, a banca arguiu o candidato e, a seguir, deliberou pela

- aprovação da Dissertação
() aprovação da Dissertação, sugerindo modificações no texto
() reprovação da Dissertação

Rio Grande, 15 de fevereiro de 2017



Prof. Dr. Leomar Soares da Rosa Júnior

Prof. Dr. Vagner Santos da Rosa

Prof. Dr. Paulo Francisco Butzen
Orientador(a)

Profa. Dra. Cristina Meinhardt
Co-orientadora

Agradecimentos

Quero agradecer aos meus amigos por estarem sempre comigo nessa etapa da minha vida, por me apoiarem e me dividirem com as semanas de provas e trabalhos durante este mestrado. Agradecer também à minha família, especialmente à minha mãe, Carmem Schvitz, por todo o apoio e incentivo durante estes dois anos, por me aturar em momentos de estresse devido a toda pressão causada por *deadlines* de trabalhos, prazos para a geração de resultados e tudo mais.

Um agradecimento especial para a Prof.^a Dr.^a Viviane Leite Dias de Mattos, pois me recebeu no início de minha pesquisa e me ajudou a definir a fundamentação necessária para desenvolver este trabalho. Agradeço de coração pelo apoio dado nesta etapa.

Agradeço todo o apoio e paciência do meu orientador Prof. Dr. Paulo Francisco Butzen e da Prof.^a Dr.^a Cristina Meinhardt por todas as horas de reuniões e por toda a dedicação em me orientar e também por acreditar em mim. Cresci muito como pessoa, como estudante e como profissional, graças a vocês.

Quero agradecer à minha namorada, Ingrid Oliveira, por me incentivar e me levantar sempre que eu me sentia incapaz de realizar qualquer tarefa. Um agradecimento especial também ao Edsel Oliveira e à Rosângila Oliveira por sempre me apoiar e acreditar em mim. A força que todos vocês me deram permitiu o desenvolvimento deste trabalho.

SUMÁRIO

LISTA DE ABREVIATURAS E SIGLAS.....	6
LISTA DE FIGURAS.....	7
LISTA DE TABELAS.....	8
RESUMO.....	9
ABSTRACT.....	10
1 INTRODUÇÃO.....	11
1.1 Objetivo do trabalho.....	14
1.2 Organização do texto.....	15
2 REFERENCIAL TEÓRICO.....	16
3 MODELO DESENVOLVIDO.....	29
3.1 Modelo para criação PTM de portas lógicas.....	29
3.1.1 Cálculo da probabilidade de erro parcial.....	31
3.1.2 Cálculo da probabilidade de observação do erro.....	34
3.1.3 Observações gerais sobre a metodologia proposta.....	37
3.2 Estudo de caso.....	37
4 RESULTADOS.....	46
4.1 Análise 1: Impacto do fator de confiabilidade.....	46
I. Falhas <i>Stuck-On</i>	47
II. Falhas <i>Stuck-Open</i>	49
4.2 Análise 2: Confiabilidade das portas lógicas.....	50
I. Falhas <i>Stuck-On</i>	50
II. Falhas <i>Stuck-Open</i>	52
4.3 Análise 3: Análise do vetor crítico das portas lógicas.....	55
I. Falhas <i>Stuck-On</i>	55
II. Falhas <i>Stuck-Open</i>	56

4.4	Análise 4: Impacto de diferentes probabilidades dos vetores de entrada.....	57
4.5	Análise 5: Impacto da presença de falhas SOnF e SOF na confiabilidade das portas	
lógicas	60	
5	CONCLUSÕES	64
	REFERÊNCIAS.....	67

LISTA DE ABREVIATURAS E SIGLAS

AOI	<i>And-Or-Inverter</i>
CI	Circuito Integrado
CMOS	<i>Complementary Metal-Oxide Semiconductor</i>
DRAM	<i>Dynamic Random Access Memory</i>
ICECS	<i>International Conference on Electronics, Circuits and Systems</i>
INV	<i>Inverter</i>
ITM	Matriz de Transferência Ideal (<i>Ideal Transfer Matrix</i>)
MOS	<i>Metal-Oxide-Semiconductor</i>
NAND2	<i>2-input NOT-And</i>
NMOS	<i>Negative Metal-Oxide Semiconductor</i>
NOR2	<i>2-input NOT-Or</i>
OAI	<i>Or-And-Inverter</i>
PMOS	<i>Positive Metal-Oxide Semiconductor</i>
PTM	Matriz de Transferência Probabilística (<i>Probabilistic Transfer Matrix</i>)
SEE	<i>Single Event Effect</i>
SET	<i>Single Event Transient</i>
SEU	<i>Single Event Upset</i>
SOF	<i>Stuck-Open faults</i>
SOnF	<i>Stuck-On faults</i>
SPICE	<i>Simulated Program with Integrated Circuits Emphasis</i>
TMR	<i>Triple Modular Redundance</i>

LISTA DE FIGURAS

Figura 2.1: Representação dos dois tipos de transistores MOS: (a) NMOS e (b) PMOS.....	17
Figura 2.2: Funcionamento do transistor como chave.	17
Figura 2.3 Os Planos pull-up e pull-down em uma NAND2.....	18
Figura 2.4 Conceito de falha, erro e defeito	20
Figura 2.5 Probabilidade de eventos independentes utilizando o diagrama de Venn, (a) ocorrência de A E B; (b) ocorrência de A OU B.....	21
Figura 2.6 Porta lógica NAND2 com uma SOF no transistor T_{p2} e o comportamento da saída	22
Figura 2.7 Inversor com uma falha Stuck-On no transistor N_1 e seu comportamento.....	24
Figura 2.8 ITM e PTM de duas portas lógicas	25
Figura 2.9 Multiplicação de duas PTMs de portas lógicas em série considerando $q=1$	27
Figura 2.10 Produto tensor de duas PTMs de portas lógicas em paralelo considerando $q=1$	27
Figura 3.1. Procedimentos para cálculo da PTM do modelo desenvolvido.....	30
Figura 3.2 Associação de transistores: (a) série; (b) paralelo.	33
Figura 3.3 Porta lógica AOI21, (a) esquemático, (b) estado atual “abc = 010” com falha SOF em T_{p3} e (c) estado anterior “abc = 001”	36
Figura 3.4 Arranjo de transistores da AOI21 (a); Probabilidade dos vetores de entrada considerando $I_p=50\%$ (b); ITM (c).....	38
Figura 3.5 Lógica de chaves da AOI21 com entrada “abc= 100” (a); Plano analisado para falhas SOnF (b); Plano analisado para falhas SOF (c).....	39
Figura 3.6 Representação do funcionamento do arranjo utilizando lógica de chaves em uma AOI21 em cada combinação de entrada com sua saída esperada	44
Figura 3.7 Diferenças entre as PTMs em uma AOI21	45
Figura 4.1 Esquemático de duas portas lógicas com arranjos de transistores iguais, em planos diferentes (a) NAND2, (b) NOR2.....	47
Figura 4.2 Confiabilidade das portas com a variação da confiabilidade da tecnologia e mesma probabilidade dos vetores de entrada na análise de falhas SOnF	48
Figura 4.3 Confiabilidade das portas com a variação da confiabilidade da tecnologia e mesma probabilidade dos vetores de entrada na análise de falhas SOF	49
Figura 4.4 Diferença computada na probabilidade de erro das portas comparando os valores originais da PTM com os valores obtidos para falhas SOnF.....	51
Figura 4.5 Diferença na probabilidade de erro entre o modelo original da PTM e o modelo proposto considerando falhas SOF	52
Figura 4.6 Número de associações série/paralelo para (a) AOI21 e (b) AOI222	54
Figura 4.7 Probabilidade de erro do vetor crítico das portas analisadas neste trabalho	56
Figura 4.8 Esquemático das portas lógicas (a) NAND4 e (b) NOR4.....	56
Figura 4.9 Análise do vetor crítico para SOF.....	57
Figura 4.10 Circuito C17 com a informação da probabilidade dos sinais de entrada serem “1” de cada porta lógica considerando a propagação dos sinais.....	58
Figura 4.11 Valores da PTM: (a) original; (b) SOnF; (c) SOF para G1/G2; (d) SOF para G3/G4; (e) SOF para G5; (f) SOF para G6	59
Figura 4.12 Exemplo da porta lógica NOR2 (a) Esquemático de transistores e (b) Lógica de chaves representando o estado “AB=00”	61
Figura 4.13 PTM criada para a porta AOI21 considerando a presença de SOnF ou SOF.....	63
Figura 4.14 Diferença na probabilidade de erro das portas entre os valores originais da PTM e considerando a probabilidade de ocorrência de SOnF ou SOF	63

LISTA DE TABELAS

<i>Tabela 1 Probabilidade de erro parcial de cada combinação de entrada para o arranjo de transistores de uma AOI21</i>	<i>39</i>
<i>Tabela 2 Probabilidade de erro parcial considerando transistores com a mesma probabilidade de falha em uma AOI21</i>	<i>40</i>
<i>Tabela 3 Probabilidade de observação de erro de uma AOI21 considerando o arranjo de transistores ..</i>	<i>44</i>
<i>Tabela 4 Quantidade de combinações que apresentaram probabilidade de erro menor para cada tipo de falha nas portas com associações série/paralelas.....</i>	<i>54</i>
<i>Tabela 5 Probabilidade de ocorrência dos vetores de entrada nas portas NAND2 presentes no circuito C17</i>	<i>59</i>
<i>Tabela 6 Probabilidade de erro das portas presentes no circuito C17.....</i>	<i>60</i>

RESUMO

Para lidar com os desafios da tecnologia nanométrica CMOS, novas metodologias de projeto são necessárias de forma a aumentar a robustez dos circuitos. Considerando os altos custos associados com as técnicas de tolerância a falhas tradicionais, soluções alternativas, baseadas em tolerância a falhas parcial e técnicas para ignorar as falhas estão sendo cada vez mais exploradas como possíveis soluções para o problema da confiabilidade. Nesse contexto, uma avaliação precisa da confiabilidade dos circuitos é fundamental para permitir um fluxo de projeto automatizado de avaliação de confiabilidade, no qual as ferramentas de síntese poderiam rapidamente alternar entre diversas configurações de circuitos para definir a melhor opção.

O modelo das Matrizes de Transferência Probabilística (PTM) é uma das alternativas mais utilizadas. A maneira de representar portas lógicas utilizando a PTM considera um valor de confiabilidade q para todas as combinações de entrada dessas portas. Contudo, essa adoção de mesmo valor de confiabilidade pode subestimar ou até mesmo superestimar a probabilidade de erro. De forma a produzir PTMs mais precisas para portas lógicas, este trabalho analisa a confiabilidade de diferentes arranjos de transistores e diferentes vetores de entrada para diferentes tipos de falhas. Um modelo probabilístico foi desenvolvido de forma a analisar a confiabilidade de diferentes arranjos de transistores considerando falhas permanentes, tais como: *Stuck-On* e *Stuck-Open*.

Os resultados deste trabalho mostram que considerar uma mesma confiabilidade para todos os vetores de entrada subestima a influência das entradas na confiabilidade do circuito como um todo. A metodologia proposta foi utilizada para calcular a confiabilidade de um circuito ISCAS C17, considerando um valor definido de confiabilidade da tecnologia. A utilização das PTMs criadas pelo modelo desenvolvido com a informação das falhas *Stuck-On/Stuck-Open* resultou em uma probabilidade de erro diferente para o este circuito. Uma diferença nas probabilidades das entradas pode fazer com que a probabilidade de erro de uma mesma porta lógica seja diferente, impactando na confiabilidade final do circuito. A aplicação dessa observação ao circuito C17 permitiu uma análise da influência dos vetores de entrada na confiabilidade do circuito, verificando-se quais portas lógicas são as mais sensíveis. A identificação das portas mais sensíveis em circuitos permitirá que as técnicas de redundância sejam aplicadas diretamente nestas portas, aumentando a confiabilidade do circuito com um menor custo em área.

Palavras-Chave: microeletrônica, tolerância a falhas, CMOS, falhas permanentes, PTM

A Model to Logic Gates Reliability Analysis in the Presence of Stuck-On and Stuck-Open Faults

ABSTRACT

To deal with the CMOS scaling problems, new design methodologies are necessary to improve the robustness of the circuits. Given the overheads associated with the traditional fault-tolerant approaches, alternative solutions, based on partial fault tolerance and fault avoidance, are also being considered as possible solutions to the reliability problem. In this context, an accurate evaluation of circuit's reliability is fundamental, to allow a reliability-aware automated design flow, where the synthesis tool could rapidly cycle through several circuit configurations to assess the best option.

Probabilistic Transfer Matrix (PTM) approach is one of the most used alternative. The manner to represent these gates using PTM is considering a reliability value q for the expected output probability in each input combination. However, the adoption of a same reliability value for different input combinations and different transistors arrangements can mislead the error probability. In order to produce more accurate PTMs for logic gates, this work analyzes different transistor arrangements and different input combinations for different types of faults. A procedure is developed to analyze the reliability of different transistor arrangements considering permanent faults, such as: Stuck-On and Stuck-Open.

The results of this work show that considering the same error probability for all input vectors underestimates the input influence on the overall circuit reliability. The generated PTM are used to compute the reliability of an ISCAS C17 circuit, taken into account a technology reliability value. The use of the generated PTMs with SOnF/SOF information resulted in a difference in error probability. A difference in input vector probability can make the error probability of a cell different, thus, impacting on the final reliability of the circuit. This allowed the analysis of the input vector influence in the circuit reliability and the identification of which gates are more sensible. This identification makes possible the insertion of redundancy techniques directly on the most sensitive cells, increasing the reliability with the lowest impact on area.

Keywords: microelectronics, fault tolerance, CMOS, permanent faults, PTM.

1 INTRODUÇÃO

Um sistema computacional é um conjunto de componentes eletrônicos que têm por objetivo o armazenamento e a manipulação de dados. Estes componentes eletrônicos são na sua maioria circuitos integrados (CIs), que estão cada vez mais presentes no cotidiano das pessoas. Atualmente, é comum encontrarmos CIs nos equipamentos mais variados, desde os tradicionais computadores, *smartphones*, até automóveis e utensílios domésticos.

A maior presença dos CIs na vida das pessoas foi possível porque, com o passar do tempo, a tecnologia de fabricação destes componentes evoluiu, reduzindo o custo por componente e possibilitando o projeto de sistemas mais complexos. Estes dois fatores fizeram com que os CIs passassem a estarem presentes em uma maior variedade de aplicações. O aumento na complexidade dos sistemas integrados motivou a adoção de fluxos automatizados de projeto, que avaliam os custos da produção e de desempenho do equipamento produzido.

No desenvolvimento de um circuito integrado de aplicação específica (ASIC) existem duas principais metodologias utilizadas: a metodologia *full custom* e a metodologia *standard cell* (WESTE; HARRIS, 2011). A maioria dos sistemas integrados atuais é projetada com a metodologia *standard cell*. Esta abordagem utiliza diversos algoritmos de síntese, associados a uma biblioteca de células para gerar automaticamente, a partir de uma descrição comportamental do mesmo, o leiaute do circuito a ser enviado para fabricação (WESTE; HARRIS, 2011). O desenvolvimento dos sistemas nesta metodologia é mais rápido e simples do que o desenvolvimento utilizando a metodologia *full custom*, em função da utilização da biblioteca de células padrão (*standard cell*). Esta consiste em um conjunto de portas lógicas previamente projetadas, testadas e caracterizadas, assumindo o papel de bloco básico do projeto. Essa metodologia tende a penalizar o desempenho e o consumo de energia dos circuitos

quando comparada com a abordagem *full custom*, na qual os transistores são dimensionados, posicionados e roteados individualmente no leiaute final. Na maioria dos circuitos projetados, essas diferenças não são tão significativas e a redução no tempo de projeto (e conseqüentemente do custo) compensa a pequena perda em desempenho, consumo de energia e área.

A evolução da indústria de semicondutores durante os anos se baseou fortemente na miniaturização dos dispositivos. Hoje em dia, é possível projetar circuitos em uma área cada vez menor, que consomem menos energia por operação realizada e que possuem uma capacidade de processamento elevada. Contudo, essa redução do tamanho dos circuitos integrados acrescentou muitos desafios que em tecnologias anteriores poderiam ser ignorados na etapa de projeto dos mesmos. Problemas como a variabilidade de processo (SAMAR K. SAHAR, 2014) (BORKAR *et al.*, 2003), aumento das correntes de fuga (KUMARI *et al.*, 2014) (MUKHOPADHYAY; RAYCHOWDHURY; ROY, 2003), redução do rendimento (do inglês, *yield*) (SIRISANTANA; PAUL; ROY, 2004), a redução da confiabilidade (BREUER; GUPTA; MAK, 2004) e os efeitos de envelhecimento (BORKAR, 2005) se tornaram grandes desafios para os projetistas.

As variações paramétricas e também a limitação da precisão na produção destes dispositivos aumentam a probabilidade de falha em um circuito, principalmente as falhas permanentes geradas durante a etapa do processo de fabricação. Existem diversas falhas permanentes que podem comprometer o funcionamento do transistor. Neste trabalho serão consideradas as falhas permanentes do tipo *Stuck-On* (SOnF) (METRA; FAVALLI; RICCO, 1997) e as falhas *Stuck-Open* (SOF) (CHAMPAC *et al.*, 2012).

Os índices de confiabilidade de processo de fabricação é um assunto que a indústria dos semicondutores mantém sigilo, disponibilizando pouca ou nenhuma informação sobre estes valores publicamente. Em uma breve pesquisa realizada neste trabalho, não foram encontradas informações a respeito de valores disponibilizados pela indústria sobre a confiabilidade dos circuitos em nanotecnologias. Isto faz com que o valor de confiabilidade utilizado por trabalhos relacionados seja uma estimativa e, normalmente, sejam avaliados um intervalo de valores possíveis para tentar representar melhor o comportamento real.

Nos últimos anos, diversas técnicas foram propostas para melhorar a confiabilidade dos circuitos integrados. Muitas dessas técnicas são baseadas em diferentes tipos de redundância, tais como redundância de tempo, de *hardware*, e de informação (FANG; HSIAO, 2008) (VIAL *et al.*, 2008). Em geral, essas técnicas introduzem um custo muito alto ao sistema. A redundância de *hardware* implica diretamente em penalidades na área do sistema, por exemplo. Uma das técnicas mais adotadas para redundância de *hardware*, a TMR (*Triple Modular Redundancy*), aumenta a área do circuito em mais de três vezes, assim, mesmo sendo uma técnica que garante tolerância a qualquer falha simples que ocorra em um dos seus três módulos, esta solução deve ser explorada com moderação.

Conhecendo os altos custos gerados pelo constante uso das técnicas de redundância, um dos maiores problemas é determinar as condições onde as vantagens superam as desvantagens em inserir ou não estas técnicas no circuito. Em alguns casos, essas técnicas reduzem os ganhos obtidos com a miniaturização da tecnologia, pois aumentam a área do circuito consideravelmente. Nessas situações, a melhor alternativa para encontrar as condições ideais de aplicação de cada técnica de tolerância à falha é utilizar métodos probabilísticos e estocásticos (NAVINER, 2008).

No nível de circuito, os métodos probabilísticos podem ser modelados como uma matriz para representar as portas (PATEL; HAYES; MARKOV, 2003). Um dos métodos mais precisos é o método que utiliza a matriz de transferência probabilística (*PTM*).

Embora a maior parte das implementações da *PTM* sejam apresentadas considerando a mesma probabilidade q para todos os vetores de entrada na matriz de uma porta lógica, a probabilidade de erro é diferente para cada vetor de entrada e para cada tipo de falha. A *PTM* é utilizada para calcular a confiabilidade de qualquer circuito, considerando a *PTM* de cada porta lógica presente no mesmo. No entanto, a *PTM* realiza essas operações considerando que todas as combinações de uma porta lógica possuem a mesma confiabilidade.

1.1 Objetivo do trabalho

As matrizes de transferência probabilística calculam a confiabilidade de um circuito composto por portas lógicas realizando operações entre as *PTMs* destas portas, conforme será detalhado na Seção 2.3. No entanto, a *PTM* de uma porta lógica considera a confiabilidade de cada combinação de entrada única e, conseqüentemente, igual à confiabilidade da porta lógica. Em uma análise mais detalhada, sabe-se que essas portas lógicas são compostas por diferentes arranjos de transistores. Diferentes arranjos de transistores podem interferir na confiabilidade de cada combinação de entrada, fazendo com que um mesmo valor de confiabilidade para diferentes arranjos acabe subestimando ou até mesmo superestimando a confiabilidade do circuito.

Este trabalho tem por objetivo aumentar a precisão dos métodos que calculam a confiabilidade de um circuito através da criação das *PTMs* de portas lógicas a partir da análise dos arranjos de transistores e do tipo de falha. Busca-se um aumento na precisão avaliando o impacto em portas lógicas combinacionais considerando falhas permanentes do tipo *Stuck-On* e *Stuck-Open*.

O procedimento proposto analisa a probabilidade de erro na saída ocasionada por ocorrência de uma falha no arranjo de transistores. Essa análise é realizada entre as diversas combinações de entrada das portas lógicas, com isso é possível verificar que diferentes combinações de entrada possuem diferentes probabilidades de ocorrência de erro. Essa informação será utilizada para produzir matrizes de transferência probabilísticas mais precisas em portas lógicas combinacionais. Esse aumento de precisão é esperado devido à adição desta informação na criação destas *PTMs*.

Com os procedimentos desenvolvidos, será possível obter de forma automática as *PTMs* para qualquer conjunto de células combinacionais que sigam o estilo lógico *static CMOS* de estágio único (WESTE; HARRIS, 2011). Esta informação poderá ser utilizada para comparar o impacto na confiabilidade de diversos circuitos compostos por estas portas lógicas, causado pela diferença nos valores das *PTMs*.

1.2 Organização do texto

O Capítulo II desta dissertação apresenta uma revisão sobre os principais tópicos abordados neste trabalho, tais como a confiabilidade do circuito, a probabilidade de efeitos independentes, os tipos de falha e uma introdução sobre o modelo *PTM*, com detalhes sobre como é computada a confiabilidade dos circuitos a partir da confiabilidade das portas. Em seguida, o Capítulo III apresenta o modelo desenvolvido para criação das PTMs de portas lógicas considerando falhas *Stuck-On* e *Stuck-Open*. No Capítulo IV são apresentados os resultados gerados pelo modelo desenvolvido, com uma análise completa dos mesmos, incluindo a análise no circuito *benchmark C17*. Neste capítulo também será realizada a criação das PTMs considerando o impacto da ocorrência de pelo menos uma das falhas analisadas neste trabalho. Finalmente, no Capítulo V são apresentadas as considerações finais.

2 REFERENCIAL TEÓRICO

Este capítulo apresenta o referencial teórico necessário para uma completa compreensão deste trabalho. Inicialmente, uma breve explicação do funcionamento dos dispositivos CMOS é apresentada, por serem os elementos básicos adotados em circuitos *static* CMOS.

O transistor MOS é um componente presente em diversos produtos eletrônicos existentes. É um elemento de quatro terminais, denominados dreno (*drain*), fonte (*source*), porta (*gate*) e substrato (*bulk*) (MATTOS; ROSA JR; PILLA, 2009). Na lógica digital, o transistor pode ter seu comportamento aproximado ao de uma chave. Dependendo da tensão aplicada ao seu terminal de porta, uma conexão entre os terminais de dreno e fonte é estabelecida, deixando o transistor em estado de condução, representando uma chave lógica fechada. Caso contrário, o transistor estará em estado de não condução, representando uma chave lógica aberta.

Existem dois tipos de transistores MOS: O transistor do tipo N e o transistor do tipo P. A Figura 2.1 apresenta os dois tipos de transistores MOS, o transistor tipo N, chamado de NMOS, no qual possui substrato tipo *p* com regiões de fonte e dreno do tipo *n*. O transistor do tipo P, chamado de PMOS, complementar ao transistor NMOS, é formado por um substrato do tipo *n* e as regiões de fonte e dreno do tipo *p*.

O funcionamento destes transistores ocorre da seguinte forma: o transistor NMOS conduzirá corrente quando o valor lógico '1' for aplicado em seu terminal de controle (*gate*). Já o transistor PMOS conduzirá apenas quando o valor lógico '0' for aplicado no *gate*. Na Figura 2.2, podemos ver o funcionamento dos dois tipos de transistores funcionando como chave, conforme o valor lógico aplicado no terminal de porta (*gate*).

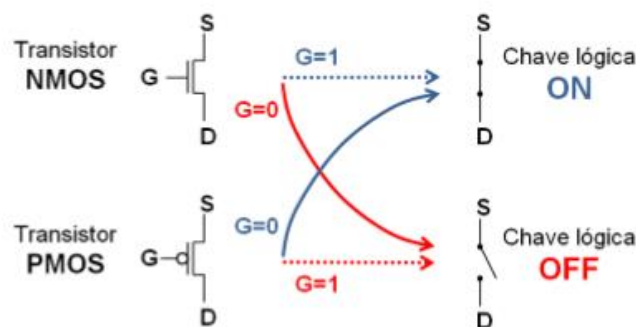
Figura 2.1: Representação dos dois tipos de transistores MOS: (a) NMOS e (b) PMOS.



Fonte: O autor

Ao longo deste Capítulo, serão abordados os fundamentos da família lógica *static CMOS*. A seguir serão abordados conceitos de confiabilidade dos circuitos, assim como também conceitos de falha, erro e defeito. Uma breve introdução sobre a probabilidade de efeitos independentes é realizada de forma a auxiliar na compreensão da definição dos conceitos deste trabalho. Após, uma breve revisão dos efeitos das falhas *Stuck-On* e *Stuck-Open* serão abordados. Por fim, uma breve explicação sobre técnicas de avaliação da confiabilidade de circuitos.

Figura 2.2: Funcionamento do transistor como chave.



Fonte: (BUTZEN *et al.*, 2009)

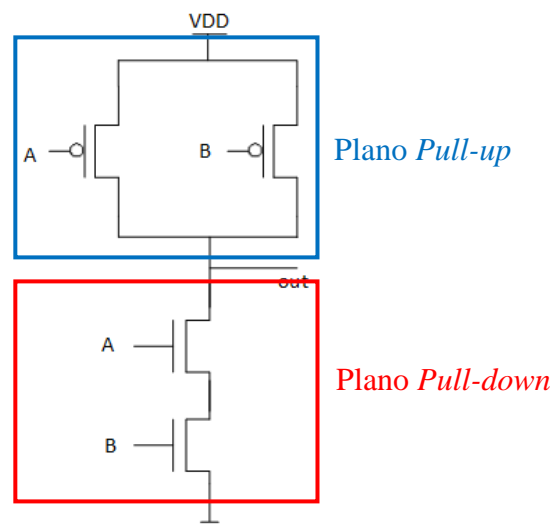
2.1 Características da Família lógica *static CMOS*

A família lógica utilizada no projeto de um circuito integrado tem grande influência nas características destes circuitos. As famílias lógicas estáticas têm sua saída controlada apenas pelos níveis lógicos das entradas do circuito, ou seja, se não

houverem alterações no estado das entradas, a saída da função lógica implementada permanece inalterada (NUNES, 2013).

A CMOS é a mais utilizada e considerada a mais simples e robusta das famílias lógicas. Esta tem por característica principal sua arquitetura composta de duas redes complementares: a rede *pull-up* e a rede *pull-down*. Os dois tipos básicos de associações de transistores são em série e em paralelo. A construção de portas lógicas CMOS ocorre com a combinação destas associações. Por uma característica da tecnologia, os transistores NMOS são eficientes na condução do zero lógico enquanto que os transistores PMOS são eficientes na condução do um lógico. Essa característica de condução definiu a criação de portas lógicas com dois planos distintos de transistores. O plano *pull-up* liga a saída da porta lógica à alimentação do circuito (1 lógico) e conseqüentemente, é formado exclusivamente por transistores PMOS. O plano *pull-down* liga a saída da porta lógica ao *ground* do circuito (0 lógico) e é formado exclusivamente por transistores NMOS. Essa característica da composição dos planos faz com que a lógica CMOS seja facilmente aplicada na geração de funções negadas, como NAND e NOR, um exemplo dos planos de transistores pode ser visualizado na Figura 2.3.

Figura 2.3 Os Planos *pull-up* e *pull-down* em uma NAND2



Fonte: O autor

Além do mencionado acima, cada um dos planos, *pull-up* e *pull-down*, é construído de forma a terem associações de transistores complementares. Essa

complementariedade entre os dois planos permite que dada uma combinação de entrada do circuito, este se conecte unicamente com a fonte de alimentação ou o terra.

2.2 Confiabilidade dos circuitos

O conceito de confiabilidade de um circuito é a probabilidade de realização correta de uma função na qual este foi designado, sob determinadas condições durante um intervalo de tempo (BIROLINI, 2012). A confiabilidade pode também ser definida como a habilidade de um determinado dispositivo permanecer operativo (FRANCO, 2008).

A confiabilidade dos circuitos nas tecnologias nanométricas é um dos maiores desafios enfrentados pelos projetistas. A redução na confiabilidade dos circuitos é uma das consequências oriundas da miniaturização, principalmente pela limitação na precisão da produção, em função da redução nas dimensões dos componentes e pela redução da tensão de alimentação, deixando o sistema menos robusto a qualquer interferência/ruído (NARAYANAN; XIE, 2006). A indústria busca um aumento nas funcionalidades dos componentes eletrônicos através da redução das dimensões dos componentes e, conseqüente, do aumento da densidade em uma mesma área. A complexidade do processo de fabricação aumenta cada vez mais à medida que as dimensões dos componentes são reduzidas. Com esse aumento de complexidade, falhas durante a etapa de processo de fabricação podem comprometer o funcionamento dos dispositivos. Falhas em circuitos

As falhas nos circuitos integrados atualmente são inevitáveis. Estes circuitos estão sob constante interferência externa, além de que, com o passar do tempo, estes sejam afetados pelos efeitos de envelhecimento. Segundo Constantinescu (2002), os tipos de falhas que ocorrem em circuitos integrados podem ser classificados como:

- Falhas Transientes, também conhecidas como *soft errors*, causadas por condições externas ao circuito, podendo ser colisões de partículas alfa ou nêutrons, além de ruídos ou descargas eletromagnéticas que afetam temporariamente a operação do circuito.
- Falhas Intermitentes, que ocorrem de tempos em tempos no circuito.

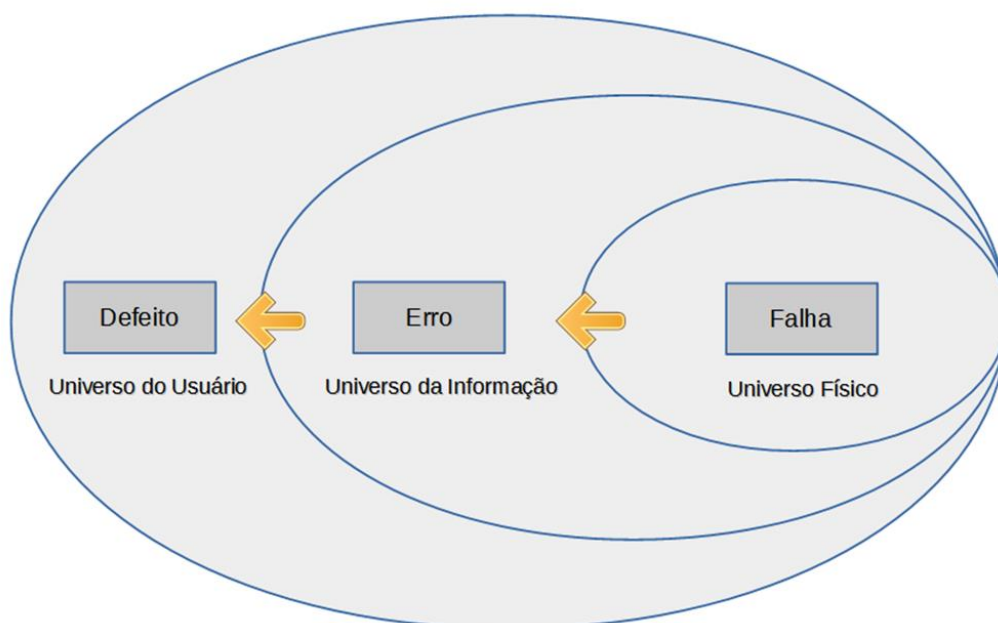
- Falhas Permanentes, que ocorrem devido às mudanças na estrutura do circuito. As falhas permanentes estudadas neste trabalho afetam o transistor de forma a não conduzir mais corrente, no caso das falhas *Stuck-Open*, ou de conduzir permanentemente, no caso da *Stuck-On*.

Nesta seção serão abordados os conceitos utilizados para as falhas em circuitos. Primeiramente, iniciamos com a definição de falha, erro e defeito. A seguir, este trabalho irá definir como será modelada a probabilidade de falha nos transistores utilizando conceitos de eventos independentes. Na sequência abordaremos os conceitos das falhas analisadas neste trabalho e por fim, uma abordagem sobre como é realizado a estimativa de confiabilidade de circuitos integrados.

2.2.1 Conceitos de falha, erro e defeito

A Figura 2.4 apresenta o modelo de três universos proposto por (AVIZIENIS, 1982) e também adotada nesse texto, para os conceitos de falha, erro e defeito. Falhas estão associadas ao universo físico, erros ao universo da informação e defeitos ao universo do usuário.

Figura 2.4 Conceito de falha, erro e defeito



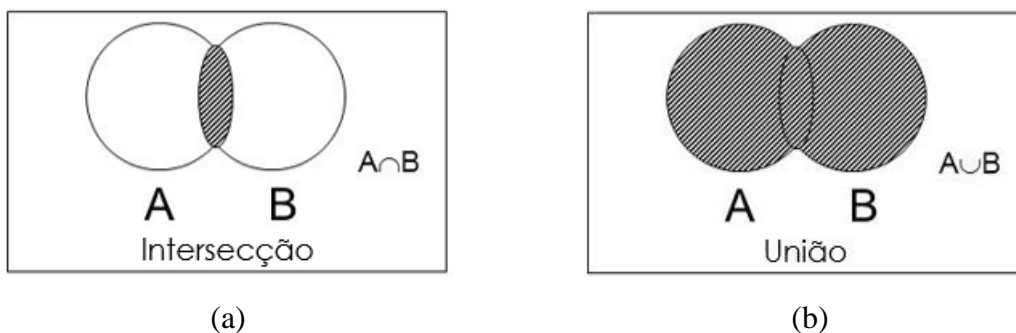
Fonte: (AVIZIENIS, 1982)

Considere por exemplo um circuito somador que apresenta uma falha em um de seus transistores (universo físico). Essa falha pode resultar em uma saída inesperada como resultado de uma operação, e, conseqüentemente, essa informação pode ser interpretada incorretamente em uma estrutura de dados (erro no universo da informação). Como resultado, o sistema pode gerar um resultado incorreto da operação a ser realizada e transmitir uma informação incorreta ao usuário em determinada operação (defeito no universo do usuário). É interessante observar que uma falha não necessariamente leva a um erro (o transistor que apresentou uma falha não afetou o resultado da saída), assim como um erro não necessariamente conduz a um defeito (a operação poderia ser refeita e eventualmente o resultado poderia ser obtido a partir de outros dados redundantes do sistema).

2.2.2 Probabilidade de falha usando probabilidade de efeitos independentes

Neste trabalho será apresentado o desenvolvimento de um modelo probabilístico para geração de PTMs de portas lógicas a partir da análise da probabilidade de propagação da falha ocasionada no arranjo de transistores. A Figura 2.5 mostra a porção da probabilidade de ocorrência de dois eventos ao mesmo tempo e de ocorrência de pelo menos um evento. A escolha para realização do cálculo da probabilidade de falha dos transistores foi feita considerando que a falha em um transistor é um evento independente. Essa afirmação indica que se um transistor falhar, essa ocorrência não interfere na probabilidade de falha de qualquer outro transistor no arranjo.

Figura 2.5 Probabilidade de eventos independentes utilizando o diagrama de Venn, (a) ocorrência de $A \text{ E } B$; (b) ocorrência de $A \text{ OU } B$



Fonte: O autor

Considerando a probabilidade de falha de um transistor como a probabilidade de um evento independente no circuito, duas situações podem ocorrer: a ocorrência de falha em pelo menos um transistor e a ocorrência de falha em ambos os transistores ao mesmo tempo. Considere dois eventos A e B, a probabilidade de ocorrência do evento A é dada por $P(A)$ e a probabilidade de ocorrência do evento B é dada por $P(B)$. A probabilidade de ocorrência destes dois eventos simultaneamente, dada por $P(A \cap B)$ considerando eventos independentes, é obtida conforme a Equação 1 e ilustrada na Figura 2.5(a):

$$P(A \cap B) = P(A) * P(B) \quad (1)$$

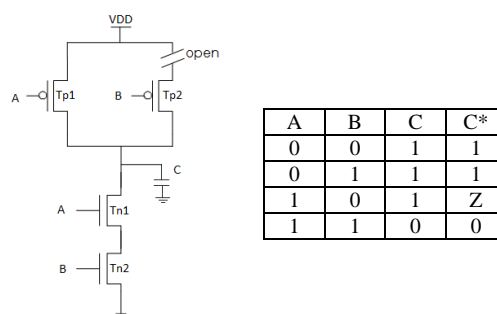
Do mesmo modo, considere os mesmos dois eventos do exemplo anterior. A probabilidade de ocorrência de pelo menos um dos dois eventos, $P(A \cup B)$, é dada pela Equação 2 e ilustrada na Figura 2.7(b):

$$P(A \cup B) = P(A) + P(B) - P(A \cap B) \quad (2)$$

2.2.3 Falhas *Stuck-Open*

Ao ocorrer uma falha *Stuck-Open* (SOF) em um transistor, a conexão entre os terminais fonte e dreno do transistor nunca irá existir, independente do sinal aplicado no terminal de porta (GOMEZ *et al.*, 2009). Para exemplificar o efeito das SOFs, a Figura 2.6 mostra a porta lógica *NAND2* e sua tabela verdade correta, para a saída C. Também são mostradas as saídas com uma falha ocorrendo no transistor T_{p1} da rede *pull-up* da porta lógica *NAND2*, com a sua saída C^* .

Figura 2.6 Porta lógica *NAND2* com uma SOF no transistor T_{p2} e o comportamento da saída



Fonte: O autor

Observando o efeito da falha, pode-se perceber que dependendo do vetor de entrada, ela não é observada na saída. Ao inserir um vetor de entrada \overline{A}/B , embora o transistor T_{p2} esteja aberto devido a SOF, o transistor T_{p1} estará conduzindo, fazendo com que a saída seja correta com e sem a falha. No entanto, ao inserirmos o vetor de entrada A/\overline{B} , o transistor T_{p1} estará fechado, pois o valor lógico '1' está aplicado em seu terminal de porta. Já o transistor T_{p2} que deveria estar conduzindo, possui uma SOF, fazendo com que ambos os caminhos da rede *pull-up* fiquem bloqueados, e a saída flutuar em um estado de alta impedância (Z).

Pelo fato da saída flutuar em um estado de alta impedância, outra importante observação deve ser levada em consideração. A manifestação de uma falha SOF depende do estado anterior do circuito, ou seja, do valor previamente armazenado na capacitância de saída da porta lógica. Dependendo do par de vetores a falha pode ser mascarada. Por exemplo, considerando os vetores de entrada \overline{A}/B e A/\overline{B} inseridos nessa sequência. O primeiro vetor fará com que a saída assumo valor lógico '1'. Quando o vetor A/\overline{B} é inserido, a saída não está conectada nem à alimentação, nem ao terra do circuito, pois ambos os planos não possuem caminhos condutivos. Isso deixa a saída em um estado de alta impedância. No entanto, a saída já possuía o valor lógico '1' atribuído anteriormente, fazendo com que a detecção da falha não ocorra logicamente. Correntes de fuga presentes nas tecnologias manométricas podem alterar este comportamento lógico (CHAMPAC *et al.*, 2012). Desta forma, é necessário um par de vetores apropriado para a correta detecção de uma SOF no circuito.

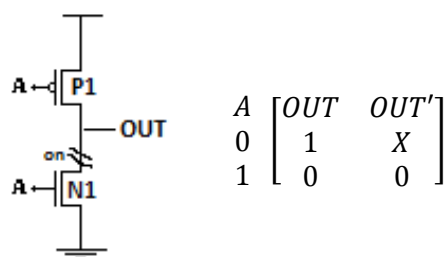
2.2.4 Falhas *Stuck-On*

Problemas inesperados tais como problemas de manufatura, *Single Events Effects* ou até mesmo o envelhecimento, podem causar uma mudança no comportamento do transistor de forma a ele ficar sempre fechado (conduzindo), caracterizando as falhas *Stuck-On* (METRA; FAVALLI; RICCO, 1997). As portas lógicas com falhas *Stuck-On* possuem um comportamento difícil de prever.

Um transistor que está permanentemente afetado por uma falha *Stuck-On* possui um comportamento diferente do esperado, conduzindo corrente independente do sinal aplicado ao terminal de porta (*gate*). Essa condição de falha, em determinadas

combinações de entrada, pode resultar em uma competição entre os dois planos para definir o resultado na saída, fazendo com que exista uma conexão entre a fonte de alimentação e o terra do circuito. Às vezes, essa competição não resulta em um erro. O valor da saída depende das resistências equivalentes dos transistores de condução. Para exemplificar o comportamento de uma SOnF, a Figura 2.7 apresenta o circuito de uma porta lógica *INV* e sua saída esperada sem falha alguma (*OUT*) e com uma falha SOnF (*OUT'*) no transistor *NMOS* *N₁*. Os efeitos dessa falha são visíveis quando o vetor de entrada !A é aplicado como entrada do circuito, criando um curto circuito entre *VDD* e *GND* e também, causando um estado indeterminado na saída do circuito (*OUT'*).

Figura 2.7 Inversor com uma falha *Stuck-On* no transistor *N₁* e seu comportamento



Fonte: O autor

2.3 Técnicas de avaliação de confiabilidade de circuitos

A presença de falhas no circuito pode comprometer a confiabilidade do mesmo, fazendo com que o seu comportamento seja inesperado. Com isso, técnicas para calcular a confiabilidade de circuitos devem ser utilizadas de forma a obter as melhores configurações dentre as disponíveis na etapa de desenvolvimento. As mais precisas técnicas para calcular a confiabilidade de circuitos exploram as matrizes de transferência probabilística. Estas técnicas utilizam as informações da confiabilidade das portas lógicas do circuito para calcular a confiabilidade.

2.3.1.1 Matrizes de transferência probabilística

Na *PTM*, a porta lógica é representada por uma matriz M composta por i linhas e j colunas, onde a (i,j) -ésima entrada representa a probabilidade de ocorrência da saída j dada a entrada i , denotada como $p(i / j)$. Em um sistema cuja sua operação seja livre de erro, a função de um circuito lógico combinacional pode ser representada por uma tabela verdade, que é uma maneira de mapear os valores de saída em função dos valores de entrada. Outra maneira de representar essa função é utilizando a matriz de transferência ideal (*ITM*). Na *ITM*, as linhas representam todas as combinações de entrada possíveis, já as colunas representam todos os possíveis valores de saída.

A Figura 2.8 apresenta um exemplo de uma *ITM* para uma porta *NAND2*(a) e um exemplo de uma *ITM* para uma porta *NOR2*(b). A *ITM* modela as entradas da função para as respectivas saídas. Os valores 1 nas células da matriz representam uma probabilidade de ocorrência da saída de 100%, já os valores zero nas células da matriz, representam a probabilidade de ocorrência do valor na saída como 0%. Por exemplo, a tabela verdade para uma porta *NAND2* mapeia o vetor de entrada $!AB$, no qual representa os valores de entrada 01 , para a respectiva saída valor um. No entanto, como dito anteriormente, diversos fatores podem alterar esse valor da saída ocasionalmente para um zero, gerando um valor diferente do esperado.

Conhecendo a frequência dos erros, é possível modelar o comportamento do circuito utilizando as matrizes de transferência probabilística (*PTM*). Na *PTM*, assim como a *ITM*, as linhas representam as combinações de entrada do circuito, já as colunas representam a probabilidade de ocorrência dos valores da saída. Por exemplo, se considerarmos uma possível *PTM* apresentada na Figura 2.8 para uma porta lógica *NAND2* (c) e para uma *NOR2* em (d). Nesses exemplos, as portas geram um correto valor da saída com uma probabilidade q , onde q representa o fator de confiabilidade.

Figura 2.8 *ITM* e *PTM* de duas portas lógicas

$$\begin{array}{cccc}
 \begin{array}{c} \mathbf{0} \quad \mathbf{1} \\ \begin{bmatrix} 0 & 1 \\ 0 & 1 \\ 0 & 1 \\ 1 & 0 \end{bmatrix} \\ \text{(a)} \end{array} &
 \begin{array}{c} \mathbf{0} \quad \mathbf{1} \\ \begin{bmatrix} 0 & 1 \\ 1 & 0 \\ 1 & 0 \\ 1 & 0 \end{bmatrix} \\ \text{(b)} \end{array} &
 \begin{array}{c} \mathbf{0} \quad \mathbf{1} \\ \begin{bmatrix} p & q \\ p & q \\ p & q \\ q & p \end{bmatrix} \\ \text{(c)} \end{array} &
 \begin{array}{c} \mathbf{0} \quad \mathbf{1} \\ \begin{bmatrix} p & q \\ q & p \\ q & p \\ q & p \end{bmatrix} \\ \text{(d)} \end{array}
 \end{array}$$

Fonte: O autor

A principal diferença entre a *ITM* e a *PTM* é que a *ITM* representa uma porta lógica sem erro e a *PTM* incorpora a probabilidade de erro para cada um dos vetores de entrada da porta lógica. Em outras palavras, a *ITM* pode ser representada por uma *PTM* cujo fator de confiabilidade é de 100%. Considere outro exemplo, quando o vetor de entrada é $!A/B$, representando o valor 00 de entrada. A *ITM* modela essa entrada para a saída “1” com probabilidade de 100%, enquanto que, para a mesma entrada, a *PTM* modela a probabilidade de uma saída “1” com probabilidade q .

O uso de *PTM* para verificar a confiabilidade de circuitos é utilizado em diversos trabalhos analisados (NAVINER, 2008), (PATEL; HAYES; MARKOV, 2003), (KRISHNASWAMY *et al.*, 2005), (XIAO *et al.*, 2011). Com essa informação sobre confiabilidade de uma porta lógica, é possível calcular a confiabilidade de todo o circuito. A *PTM* global de um circuito é calculada combinando a *PTM* de cada porta lógica que o compõe. Para calculá-la, duas importantes regras devem ser observadas (NAVINER, 2008):

- Se duas portas lógicas G_1 e G_2 com suas *PTMs* P_{G1} e P_{G2} são combinadas em série, a *PTM* resultante dessa combinação será a multiplicação entre as duas matrizes, denotada pela Equação 3:

$$P_{G1} \cdot P_{G2} \quad (3)$$

Como exemplo, vamos considerar a Figura 2.9. Tem-se a matriz P_{G1} e a matriz P_{G2} , para calcular a matriz resultante faz-se a multiplicação das duas matrizes. A matriz resultante representa a *PTM* do circuito formado pelas duas portas lógicas em série. Note que a matriz resultante é uma matriz 4x2, representando as quatro combinações de entrada com duas combinações de saída.

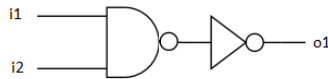
- Se duas portas lógicas G_1 e G_2 , com suas *PTMs* P_{G1} e P_{G2} são combinadas em paralelo, a *PTM* resultante dessa combinação será o produto tensor entre as matrizes, denotado pela Equação 4:

$$P_{G1} \otimes P_{G2} \quad (4)$$

Como exemplo, vamos considerar a Figura 2.10. Tem-se a matriz P_{G1} e a matriz P_{G2} , para calcular a matriz resultante da combinação de duas portas lógicas em paralelo, faz-se o produto tensor das duas matrizes. A matriz resultante representa a *PTM* do circuito formado pelas duas portas lógicas em paralelo. Note que a matriz

resultante é uma matriz 8x4, o que representa as oito combinações de entrada e as quatro diferentes combinações de saída.

Figura 2.9 Multiplicação de duas *PTMs* de portas lógicas em série considerando $q=1$

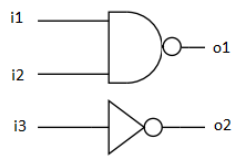


$$P_{G1} = \begin{bmatrix} 0 & 1 \\ 0 & 1 \\ 0 & 1 \\ 1 & 0 \end{bmatrix} \quad P_{G2} = \begin{bmatrix} 0 & 1 \\ 1 & 0 \end{bmatrix}$$

$$P_{G1} \cdot P_{G2} = \begin{bmatrix} 0 * 0 + 1 * 1 & 0 * 1 + 1 * 0 \\ 0 * 0 + 1 * 1 & 0 * 1 + 1 * 0 \\ 0 * 0 + 1 * 1 & 0 * 1 + 1 * 0 \\ 1 * 0 + 0 * 1 & 1 * 1 + 0 * 0 \end{bmatrix} = \begin{bmatrix} 1 & 0 \\ 1 & 0 \\ 1 & 0 \\ 0 & 1 \end{bmatrix}$$

Fonte: O autor

Figura 2.10 Produto tensor de duas *PTMs* de portas lógicas em paralelo considerando $q=1$



$$P_{G1} = \begin{bmatrix} 0 & 1 \\ 0 & 1 \\ 0 & 1 \\ 1 & 0 \end{bmatrix} \quad P_{G2} = \begin{bmatrix} 0 & 1 \\ 1 & 0 \end{bmatrix}$$

$$P_{G1} \cdot P_{G2} = \begin{bmatrix} 0 * \begin{bmatrix} 0 & 1 \\ 1 & 0 \end{bmatrix} & 1 * \begin{bmatrix} 0 & 1 \\ 1 & 0 \end{bmatrix} \\ 0 * \begin{bmatrix} 0 & 1 \\ 1 & 0 \end{bmatrix} & 1 * \begin{bmatrix} 0 & 1 \\ 1 & 0 \end{bmatrix} \\ 0 * \begin{bmatrix} 0 & 1 \\ 1 & 0 \end{bmatrix} & 1 * \begin{bmatrix} 0 & 1 \\ 1 & 0 \end{bmatrix} \\ 1 * \begin{bmatrix} 0 & 1 \\ 1 & 0 \end{bmatrix} & 0 * \begin{bmatrix} 0 & 1 \\ 1 & 0 \end{bmatrix} \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 & 1 \\ 0 & 0 & 1 & 0 \\ 0 & 0 & 0 & 1 \\ 0 & 0 & 1 & 0 \\ 0 & 0 & 0 & 1 \\ 0 & 0 & 1 & 0 \\ 0 & 1 & 0 & 0 \\ 1 & 0 & 0 & 0 \end{bmatrix}$$

Fonte: O autor

O cálculo da confiabilidade do circuito também analisa os *fanouts* e os sinais que se cruzam no circuito. Como o foco dessa proposta é analisar a probabilidade de falha dos arranjos de transistores para produzir novas *PTMs* de portas lógicas combinacionais, uma análise mais detalhada e explicativa sobre como calcular a confiabilidade de circuitos que utilizam essas portas e que possuem esse tipo de sinais pode ser mais explorada em diversos outros trabalhos, como em (BEG; IBRAHIM, 2008), onde é realizada a análise do cálculo da confiabilidade de circuitos com vários estágios, composto por diversas portas lógicas. Neste trabalho também é proposta uma ferramenta que gera os arquivos automaticamente, descrevendo os estágios do circuito para o software MATLAB realizar o cálculo entre as *PTMs* para computar a confiabilidade do circuito. O trabalho proposto por (SINGH *et al.*, 2012) realiza uma análise de precisão de confiabilidade de diferentes métodos para calcular a

confiabilidade de circuitos, dentre eles, a PTM. A análise é realizada em diferentes configurações do circuito C17 e de somadores.

O trabalho de (KRISHNASWAMY *et al.*, 2008) também aborda o cálculo da PTM de circuitos, contudo, sabe-se que a PTM possui uma complexidade que cresce conforme o número de entradas e saídas dos circuitos e as PTMs podem se tornar matrizes com muitas linhas e colunas, sendo em sua grande maioria matrizes com muitos zeros. A ferramenta proposta no trabalho citado consiste em simplificar as matrizes de forma a reduzir o consumo de memória no cálculo da PTM, simplificando as matrizes de maneira a reduzir seu tamanho e simplificar a etapa de multiplicação entre as matrizes.

O trabalho de (SINGH; HAMID; ASIRVADAM, 2012) propõe o uso de uma técnica computacional baseada na dependência estatística dos sinais de entrada e saída do circuito. Essa técnica é utilizada para avaliar a precisão dos métodos para o cálculo de confiabilidade de circuitos. Os resultados do trabalho mostram que a PTM é a melhor escolha para definir a confiabilidade dos circuitos.

Os trabalhos propostos por (FRANCO *et al.*, 2008) e (SINGH; HAMID; ASIRVADAM, 2014) não calculam a confiabilidade dos circuitos utilizando o método da PTM, mas também utilizam as PTMs das portas para obter as probabilidades dos sinais. A partir das probabilidades dos sinais e suas propagações são obtidos os valores de confiabilidade dos circuitos. As alternativas propostas, mesmo não possuindo a mesma precisão do método da PTM, são boas alternativas, pois trabalham diretamente na redução do consumo de memória causado pelo método da PTM. Como falado anteriormente, um circuito com dez entradas e cinco saídas, possuirá uma matriz de representação com 2^{10} linhas x 2^5 colunas, gerando um alto custo computacional para execução das operações entre os níveis do circuito.

3 MODELO DESENVOLVIDO

O modelo PTM original utiliza o conceito de confiabilidade de portas lógicas para calcular a confiabilidade do circuito. Na proposta apresentada por Patel (PATEL; HAYES; MARKOV, 2003) e também bastante explorada por Kh Krishnaswamy (KRISHNASWAMY *et al.*, 2005) todas as portas lógicas têm a mesma confiabilidade para qualquer vetor de entrada. No entanto, o uso de PTM pode ser aprimorado de forma a explorar o arranjo de transistores das portas lógicas e, conseqüentemente, as diferentes possibilidades de um erro estar presente na saída do circuito para cada vetor. Para isso, este trabalho avalia a confiabilidade do arranjo de transistores a partir da confiabilidade da tecnologia para obter a confiabilidade da porta lógica.

Na análise do arranjo de transistores, uma mesma porta lógica possui valor de confiabilidade diferente para cada vetor de entrada. Da mesma forma, uma mesma função lógica pode ser implementada utilizando diferentes arranjos de transistores, dos quais apresentam valor de confiabilidade diferente. A confiabilidade do arranjo pode ser afetada por diferentes tipos de falhas. Neste trabalho, o impacto na confiabilidade do arranjo será avaliado considerando duas falhas, *Stuck-On* e *Stuck-Open*.

O restante deste capítulo é destinado a explicar o modelo proposto. Na seqüência é apresentado um estudo de caso para exemplificar o método. Este método pode ser aplicado em todas as portas lógicas “*single stage*”. As portas que representam múltiplos estágios devem ser avaliadas combinando suas matrizes utilizando as associações da PTM original para avaliação de circuitos, descrito na Seção 2.3.1.1.

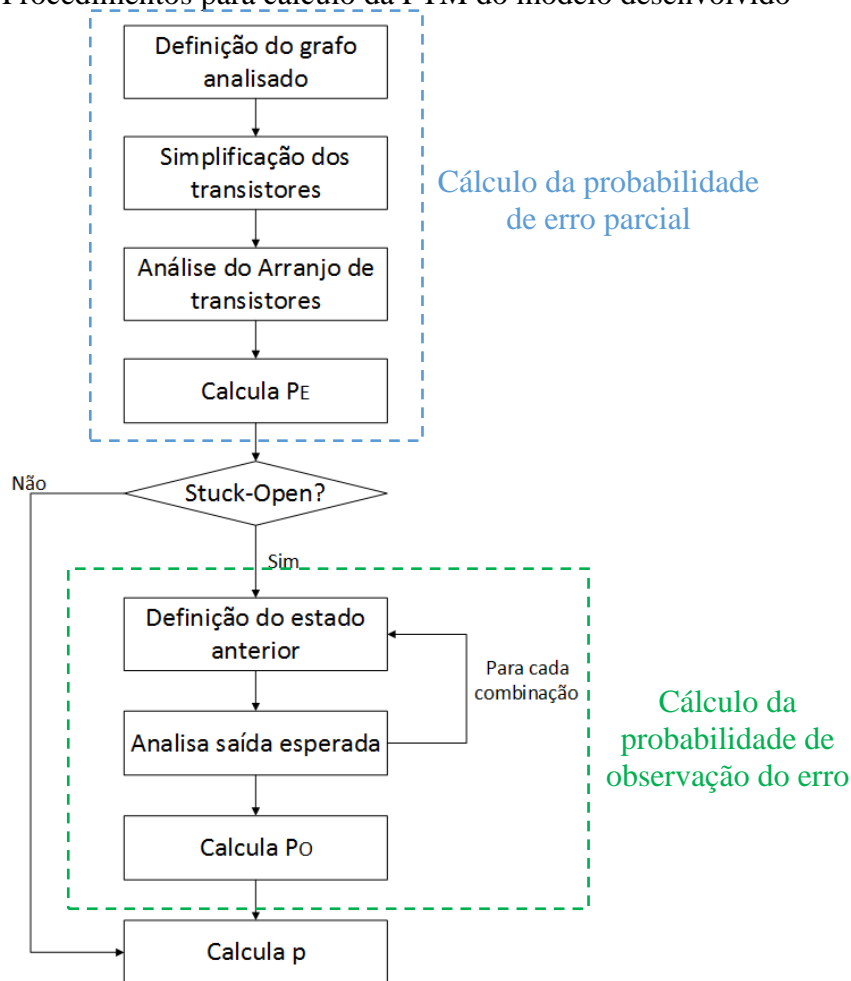
3.1 Modelo para criação PTM de portas lógicas

Esta Seção apresenta o modelo para inserção da influência do arranjo de transistores na confiabilidade das portas lógicas na presença de falhas do tipo *Stuck-On* e *Stuck-Open*. O resultado gerado pelo método proposto é uma PTM para a porta lógica onde cada vetor de entrada tem um valor de confiabilidade avaliado individualmente a partir

de um dado valor de confiabilidade para a tecnologia/transistor. O modelo proposto e seus resultados foram publicados, de forma a aprimorar o modelo com o máximo de contribuições técnicas e científicas por profissionais da área. Os trabalhos desenvolvidos utilizando o modelo proposto podem ser encontrados em (SCHIVITZ *et al.*, 2016b) e (SCHIVITZ *et al.*, 2016a), para falhas *Stuck-On* e (SCHIVITZ; MEINHARDT; BUTZEN, 2016) e (SCHIVITZ *et al.*, 2017), para falhas *Stuck-Open*.

O modelo desenvolvido neste trabalho é capaz de criar a PTM de uma porta lógica combinacional considerando falhas *Stuck-On* ou falhas *Stuck-Open*. Uma ferramenta que implementa o modelo desenvolvido foi criada, essa ferramenta foi desenvolvida utilizando linguagem de programação JAVA. A Figura 3.1 apresenta as etapas do modelo desenvolvido neste trabalho. O modelo para falhas *Stuck-On/Open* tem como entrada um arquivo texto com o arranjo de transistores da porta lógica descrito como subcircuito SPICE e a probabilidade de cada entrada ser “1”.

Figura 3.1. Procedimentos para cálculo da PTM do modelo desenvolvido



Fonte: O autor

Este modelo é genérico, podendo ser utilizado para os dois tipos de falhas abordados neste trabalho. Desta forma, o modelo é dividido em dois procedimentos principais: A inicialização onde é determinado o cálculo da probabilidade de erro parcial, P_E e o segundo procedimento, dedicado para as falhas *Stuck-Open*, devido a propriedade destas falhas de serem dependentes do estado anterior. O resultado final é gerado na etapa *Calcula p*. A seguir, estes dois conjuntos de procedimentos serão descritos, iniciando pelos passos necessários para determinar a probabilidade de erro parcial, comum aos dois tipos de falhas analisados neste trabalho.

3.1.1 Cálculo da probabilidade de erro parcial

Conforme ilustrado na Figura 3.1, a primeira etapa do modelo consiste na definição de qual plano da porta será analisado. Para isso, utiliza-se o valor da *ITM* da porta, na qual representa a saída esperada do circuito sem falha, para cada combinação. Inicia-se, então, por verificar o valor esperado da saída para a combinação de entrada.

I. Definição do grafo analisado

Na etapa de definição do plano a ser analisado pelo modelo, é necessário que seja conhecido o valor esperado na saída e o tipo de falha que se está analisando. Pelas características da lógica complementar utilizada na família lógica *static CMOS*, somente um plano estará em estado de condução, dada uma combinação de entrada. Se o valor esperado na saída for um sinal lógico alto, significa que o plano em condução é o plano *pull-up*. Da mesma forma, se a saída esperada da combinação de entrada for sinal lógico baixo, o plano que estará em condução será o plano *pull-down*.

Na análise das falhas *Stuck-On*, considerando que a saída esperada da combinação é um, o plano que será analisado é o plano *pull-down*. Da mesma forma, se a saída esperada da combinação for zero, o plano analisado será o plano *pull-up*. Como mencionado nas seções anteriores, a falha *Stuck-On* pode causar um erro na saída da porta lógica quando esta ocorre no plano que se encontra em estado de corte, causando um comportamento de baixa impedância da saída em relação aos terminais de alimentação e terra do circuito.

Na análise das falhas *Stuck-Open*, se a saída esperada for zero, o plano analisado será o plano *pull-down*, enquanto que se a saída esperada for um, o plano analisado será o plano *pull-up*. Como mencionado anteriormente, diferentemente da *Stuck-On*, a falha *Stuck-Open* provoca uma condição de alta impedância da saída em relação aos terminais de alimentação e terra do circuito.

II. Simplificação dos transistores

A partir da definição do plano a ser analisado, dependendo do efeito da falha analisada e do sinal aplicado no terminal de porta do transistor, a ocorrência de uma falha pode não influenciar no valor de saída do circuito. Por isso, na segunda etapa do modelo, ilustrada na Figura 3.1, é realizada uma análise dos transistores nos quais a presença de uma falha não afeta a saída esperada no circuito. Os transistores que apresentarem condições nas quais a ocorrência da falha não afete o seu comportamento no circuito, podem ser removidos.

Essa simplificação permite considerar somente os transistores críticos na análise da confiabilidade para um determinado vetor de entrada e um tipo de falha. Assim, é importante destacar que nem todos os transistores presentes no plano precisarão ser analisados, reduzindo a complexidade temporal da avaliação.

Na simplificação dos transistores considerando falhas *Stuck-On*, os transistores que estão em estado de condução (transistores PMOS com sinal lógico zero aplicado no terminal de porta e transistores NMOS com sinal lógico um aplicado no terminal de porta) podem ser removidos da análise. Esta remoção ocorre porque uma falha *Stuck-On* em um transistor que já está em estado de condução não afetará a saída do circuito na combinação analisada.

Na simplificação dos transistores considerando falhas *Stuck-Open*, os transistores que estão em estado de corte (transistores PMOS com sinal lógico um aplicado no terminal de porta e transistores NMOS com sinal lógico zero aplicado no terminal de porta) podem ser removidos. Da mesma forma que na falha *Stuck-On* nos transistores em condução, uma falha *Stuck-Open* em um transistor que está em estado de corte não afetará a saída do circuito.

III. Análise do arranjo de transistores e cálculo da probabilidade de erro parcial

Depois de concluída a etapa de simplificação do plano analisado, é necessário analisar o arranjo de transistores restante no plano. Essa etapa avalia a probabilidade de a falha no arranjo ser propagada para a saída. As associações de transistores analisadas são desde simples associações série ou associações paralelo, até as associações série e paralelo misturadas. A Figura 3.2 apresenta os arranjos de transistores (a) puramente série e (b) puramente paralelo.

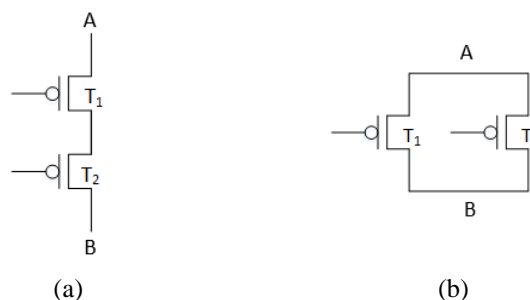
A análise do arranjo é feita considerando falhas individuais ou múltiplas nos dispositivos. A partir da presença das falhas são analisadas as probabilidades destas falhas causarem um valor inesperado na saída da porta. A condição de a falha causar um erro na saída conforme os arranjos analisados são diferentes para cada tipo de falha, como veremos a seguir.

a) Arranjos de transistores puramente série

Na análise de associações em série considerando as falhas *Stuck-On*, a representação estatística da probabilidade de erro na saída é a probabilidade de falha em todos os transistores do arranjo ao mesmo tempo. Por exemplo, considere o arranjo presente na

Figura 3.2(a). Considerando que os transistores estão todos no mesmo estado (estado de corte), para o sinal ser propagado entre os terminais A e B é necessário que todos os transistores apresentem falha. Com isso, para calcular a probabilidade de erro, P_E , em arranjos em série com n transistores, é preciso que todos os transistores t_i , onde $[i=1...n]$, apresentem a falha. A Equação 5 representa o cálculo para obtenção da probabilidade de erro em um arranjo com n transistores em série para a falha SOnF, representada pela intersecção da probabilidade de falha dos transistores.

Figura 3.2 Associação de transistores: (a) série; (b) paralelo.



Fonte: O autor

Por outro lado, considere agora que os transistores da Figura 3.2(a) estão em estado de condução. A probabilidade de uma falha *Stuck-Open* provocar um erro na saída é a probabilidade de falha em qualquer um dos transistores presentes neste arranjo. Isso é necessário porque uma falha *Stuck-Open* impedirá uma conexão entre os terminais A e B se qualquer um dos transistores estiver com falha. Com isso, para calcular a probabilidade de erro, P_E , em arranjos em série com n transistores, é preciso que qualquer transistor t_i , onde $[i=1...n]$, apresente a falha. A Equação 6 representa a probabilidade de erro em um arranjo com n transistores em série para a falha SOF, representada pela união da probabilidade de falha dos transistores.

a) Arranjos de transistores puramente paralelos

As falhas SOnF e SOF possuem comportamentos complementares. Devido a essa complementariedade, para calcular a probabilidade de erro causado por falhas SOnF, em arranjos puramente paralelos com n transistores, é preciso que qualquer transistor t_i , onde $[i=1...n]$, apresente falha, representado pela Equação 6.

De modo complementar ao comportamento da falha SOnF, para calcular a probabilidade de erro causado por falhas SOF em arranjos puramente paralelos com n transistores, é preciso que todos os transistores apresentem a falha. A Equação 5 representa o cálculo da probabilidade de erro considerando falhas SOF em arranjos puramente paralelos.

$$P_E = P(t_1) \cap P(t_2) \cap \dots \cap P(t_n) \quad (5)$$

$$P_E = P(t_1) \cup P(t_2) \cup \dots \cup P(t_n) \quad (6)$$

3.1.2 Cálculo da probabilidade de observação do erro

Com a execução concluída da etapa previamente descrita, a probabilidade de erro parcial da combinação de entrada é obtida. Conforme o fluxograma da Figura 3.1 apresenta, a etapa de cálculo da probabilidade de observação do erro é exclusiva das falhas *Stuck-Open* devido à condição de alta impedância da saída gerada pela ocorrência desta falha nos arranjos de transistores. A primeira tarefa desta etapa é de definição do estado anterior.

I. Definição do estado anterior

Com a probabilidade de erro parcial calculada, o próximo passo é de verificar o estado anterior da porta, de forma a identificar a probabilidade de observação do erro na saída. A probabilidade de o erro ser observado é verificada utilizando todas as combinações de entrada possíveis, cada combinação é analisada como se ela fosse o estado anterior do circuito. Para cada vetor de entrada definido como estado anterior é realizado uma verificação da saída esperada.

II. Análise da saída esperada

Para calcular a probabilidade de o erro ser observado, é necessário verificar todas as possíveis combinações de entrada. Essa análise assume cada vetor de entrada como estado anterior, com isso, o valor da ITM de ambos estados (estado atual com falha e o estado assumido como estado anterior) é comparada. Nesta análise, três diferentes situações podem ocorrer:

- Diferentes valores lógicos da saída esperada: Se a saída esperada da combinação definida como estado anterior for diferente do valor esperado da combinação atual, o erro é observado na saída.
- Valor lógico da saída esperada igual ao valor lógico da saída atual, mas também afetado pela falha: Se o estado anterior possui o mesmo valor de saída esperado que o estado atual, este mesmo estado anterior é verificado logicamente com a presença da mesma falha ocorrida no estado atual. Se a falha que provocou um erro no estado atual também provocar um erro no estado definido como estado anterior, o erro é observado na saída.
- Valores da saída esperada iguais, mas não afetado pela falha: Se a falha ocorrida no circuito não afeta a saída esperada do estado anterior, o modelo proposto considera a probabilidade de falha no caminho alternativo deste estado. A análise da presença de uma falha no caminho alternativo é realizada porque os transistores não são 100% confiáveis.

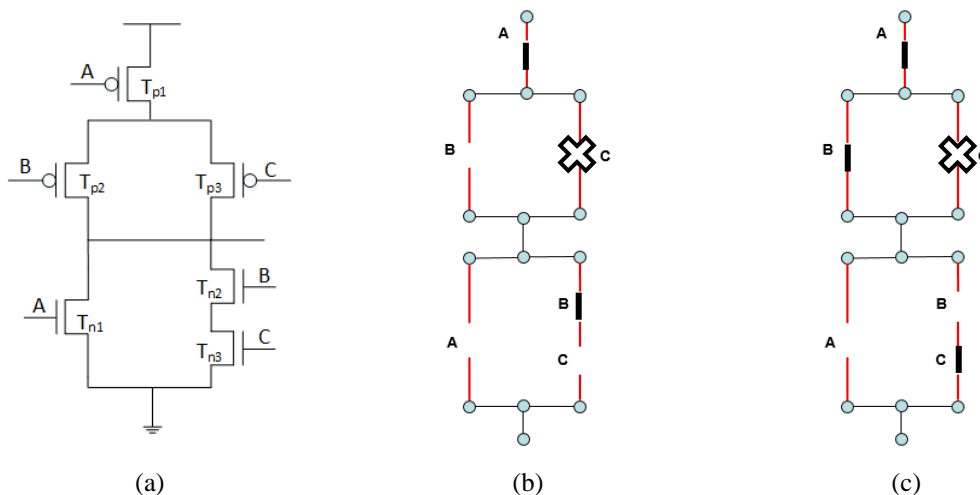
Por exemplo, considere a porta AOI21 na Figura 3.3 (a). O estado atual considerado na análise é o estado “abc=010” ilustrado utilizando lógica de chaves na Figura 3.3 (b). Este estado atual, possui uma falha *Stuck-Open* no transistor T_{p3} . A saída esperada do vetor “abc=001”, assumido como estado anterior ilustrado utilizando lógica de chaves

na Figura 3.3 (c) é igual à saída esperada do estado atual (valor “1” lógico). A presença da falha no transistor T_{p3} não afeta a saída esperada do estado anterior, visto que há uma conexão entre a saída e o terminal de alimentação. Para esta combinação de estado anterior e vetor atual, a falha no transistor T_{p3} é mascarada.

III. Cálculo da probabilidade de observação do erro

Depois de concluída a análise de todas as possíveis combinações do circuito é possível determinar a probabilidade de observação do erro na saída. Em todos os vetores de entrada assumidos como estado anterior em que a falha é propagada, a probabilidade de ocorrência deste é considerada integralmente. No caso de o estado anterior não ser afetado pela falha, a probabilidade da falha no caminho alternativo é multiplicada com a probabilidade de ocorrência do vetor, antes de ser considerada na probabilidade de observação do erro da porta lógica. O resultado final considera todas as possíveis combinações de entrada realizando soma de todos os valores encontrados para cada entrada, definindo este resultado final como probabilidade de observação do erro (P_O). Por fim, com a informação sobre a probabilidade de erro parcial realizada na primeira etapa e a análise dos estados anteriores realizada pela segunda etapa, a probabilidade de erro final é calculada para cada combinação de entrada. É importante destacar que a falha *Stuck-On* não possui análise de probabilidade de observação do erro. Isso ocorre porque essa falha não causa condição de alta impedância na saída, com isso, neste trabalho a probabilidade de observação do erro considerando o erro causado por falhas SOnF será sempre igual a um.

Figura 3.3 Porta lógica AOI21, (a) esquemático, (b) estado atual “abc = 010” com falha SOF em T_{p3} e (c) estado anterior “abc = 001”



Fonte: O autor

IV. Cálculo da probabilidade de erro final

Esta etapa realiza a multiplicação da probabilidade de erro da primeira etapa (P_E) pela probabilidade de observação do erro, calculada na segunda etapa (P_O). A probabilidade de erro final da combinação de entrada i , denotada por (p_i) é o resultado desta operação, descrita na Equação 7. Ao final de todas as combinações de entrada é formada a PTM da porta lógica.

$$p_i = P_E * P_O \quad (7)$$

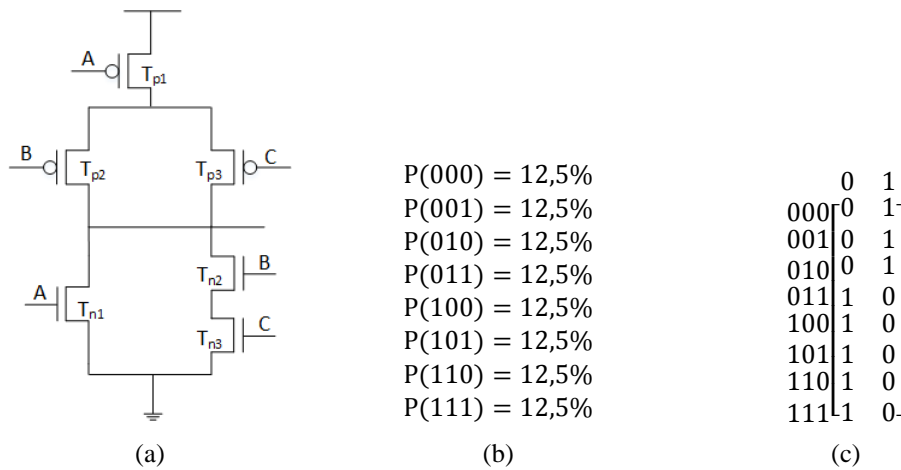
3.1.3 Observações gerais sobre a metodologia proposta

As falhas *Stuck-On/Open* possuem comportamentos complementares, ou seja, a probabilidade de erro na saída para falhas *Stuck-On* em arranjos em série é modelada pela mesma equação da probabilidade de erro na saída para falhas *Stuck-Open* em arranjos em paralelo (Equação 5). O mesmo comportamento é observado na condição inversa (Equação 6). O comportamento de complementariedade dessas falhas será abordado na próxima seção. A análise dessas falhas em portas lógicas topologicamente complementares reflete em uma análise semelhante de probabilidade de erro das portas, a principal diferença se encontra na análise do estado anterior.

3.2 Estudo de caso

Um estudo de caso foi realizado para demonstrar o potencial do método proposto e o impacto na confiabilidade da consideração da contribuição individual de cada entrada na probabilidade de erro. Este foi realizado de forma a analisar a probabilidade de erro computada pelo método desenvolvido para falhas *Stuck-On/Open*. A Figura 3.4(a) apresenta o arranjo de transistores (a), a probabilidade de cada combinação de entrada (b), considerando que a probabilidade de cada entrada ser “1” seja de 50% e também a *ITM* da porta AOI21, representando o seu comportamento sem a presença de falhas (c).

Figura 3.4 Arranjo de transistores da AOI21 (a); Probabilidade dos vetores de entrada considerando $I_p=50\%$ (b); ITM (c)



Fonte: O autor

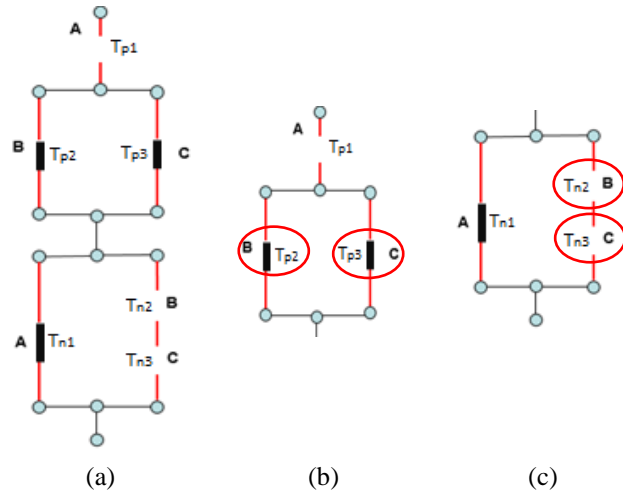
Conforme o fluxograma apresentado do modelo, a primeira tarefa de cada combinação de entrada da porta consiste em uma simplificação dos transistores considerando o tipo de falha a ser avaliado. A remoção dos transistores, conforme mencionado anteriormente, ocorre porque dependendo do estado do transistor (condução ou corte) e do tipo de falha em análise, uma falha no transistor não afeta a saída do circuito. Por exemplo, considere o circuito da AOI21 e a combinação de entrada “ $abc=100$ ”, presente na Figura 3.5(a).

Quando a falha analisada é a falha SOnF, observa-se que a saída esperada da porta para esta combinação de entrada é “0”, com isso, a condição para a falha SOnF causar um erro na saída do circuito é se ela ocorrer no plano *pull-up*, ilustrado na Figura 3.4(b). Este plano apresenta dois transistores em estado de condução, T_{p2} e T_{p3} . Conforme mencionado anteriormente, uma falha SOnF faz com que o transistor permaneça em estado de condução independentemente do sinal aplicado em seu terminal de porta. Com isso, uma falha nestes transistores não modifica a saída do circuito nesta combinação, por isso, estes transistores são removidos da análise.

Analisando a falha SOF e a combinação de entrada da Figura 3.4(a), tem-se que a condição para uma falha SOF causar um erro na saída da porta é se ocorrer no plano *pull-down*, ilustrado na Figura 3.4(c). Essa falha faz com que o transistor afetado fique em estado de corte, independentemente do sinal aplicado em seu terminal de porta. Por este motivo, os transistores T_{n2} e T_{n3} são removidos da análise porque uma falha SOF

ocorrendo em qualquer um destes dois transistores não afetará a saída do circuito, nesta combinação de entrada.

Figura 3.5 Lógica de chaves da AOI21 com entrada “ $abc=100$ ” (a); Plano analisado para falhas SOnF (b); Plano analisado para falhas SOF (c)



Fonte: O autor

Com a remoção dos transistores que não estarão presentes na análise, ocorre a avaliação da probabilidade de erro parcial considerando as falhas *Stuck-On/Open*. A *Tabela 1* apresenta a probabilidade de erro para cada combinação da AOI21. Essa porta lógica possui os seus planos *pull-up* e *pull-down* bem definidos, com arranjos complementares entre eles. Conforme mencionado anteriormente, a característica topológica das portas e a complementariedade das falhas analisadas resultam em probabilidades de erro iguais, porém, dependentes de diferentes transistores. A igualdade na probabilidade de erro computada nesta etapa é resultado da mesma probabilidade de falha dos transistores, definida por $p = 1 - q$. Isso indica, por exemplo, que o transistor T_{p1} possui a mesma probabilidade de falha que o transistor T_{n3} , ou qualquer outro presente no arranjo, denotada por $P(T_i) = p$.

Tabela 1 Probabilidade de erro parcial de cada combinação de entrada para o arranjo de transistores de uma AOI21

Entrada (abc)	Probabilidade de erro (P_E)	
	<i>Stuck-On</i>	<i>Stuck-Open</i>
000	$P(T_{n1})$ OU $(P(T_{n2})$ E $P(T_{n3}))$	$P(T_{p1})$ OU $(P(T_{p2})$ E $P(T_{p3}))$
001	$P(T_{n1})$ OU $P(T_{n2})$	$P(T_{p1})$ OU $P(T_{p2})$
010	$P(T_{n1})$ OU $P(T_{n3})$	$P(T_{p1})$ OU $P(T_{p3})$
011	$P(T_{p2})$ OU $P(T_{p3})$	$P(T_{n2})$ OU $P(T_{n3})$
100	$P(T_{p1})$	$P(T_{n1})$
101	$P(T_{p1})$	$P(T_{n1})$
110	$P(T_{p1})$	$P(T_{n1})$
111	$P(T_{p1})$ E $(P(T_{p2})$ OU $P(T_{p3}))$	$P(T_{n1})$ E $(P(T_{n2})$ OU $P(T_{n3}))$

A partir dessa definição, a Tabela 2 é formada. Na Tabela é possível perceber que embora as falhas dependam de transistores diferentes, considerando que os transistores possuem a mesma probabilidade de falha, a probabilidade de erro parcial, considerando falhas *Stuck-On/Open* é idêntica.

É interessante verificar que essa porta possui associações série e paralelo em seus dois planos, fazendo com que a probabilidade de propagação do erro dependendo do estado anterior, seja diferente em cada vetor de entrada. Analisando cada caso desta porta, temos que para cada combinação de entrada, teremos diferentes probabilidades de erro na saída, como observado na *Tabela 1*. Com as probabilidades de erro definidas, o próximo passo é analisar a probabilidade de propagação do erro para falhas *Stuck-Open* considerando cada combinação de entrada e os seus respectivos estados anteriores.

Tabela 2 Probabilidade de erro parcial considerando transistores com a mesma probabilidade de falha em uma AOI21

Entrada (abc)	Probabilidade de erro (P_E)	
	<i>Stuck-On</i>	<i>Stuck-Open</i>
000	$p^2 + p - p^3$	$p^2 + p - p^3$
001	$2p - p^2$	$2p - p^2$
010	$2p - p^2$	$2p - p^2$
011	$2p - p^2$	$2p - p^2$
100	p	p
101	p	p
110	p	p
111	$2p^2 - p^3$	$2p^2 - p^3$

A probabilidade de observação do erro (P_O) considerando o estado anterior é diferente para cada caso. A maneira de computar essa probabilidade da falha na saída é realizada pelo somatório de todas as probabilidades de ocorrência do estado anterior que não mascara o erro. Quando observamos a presença de uma condição “OU” na probabilidade de erro parcial das portas, a probabilidade de observação do erro é obtida considerando a média das probabilidades de observação de erro de cada membro da equação definido por cada condição de “OU”.

Para facilitar a compreensão do funcionamento do estado anterior para a análise da probabilidade de propagação do erro, a Figura 3.6 apresenta o arranjo dos transistores utilizando lógica de chaves. A lógica de chaves permite representar quais transistores estão conduzindo em cada combinação de entrada. Analisando as combinações de entrada da porta, vemos que a combinação *000*, com seu funcionamento em nível de

chaves ilustrado na Figura 3.6 (a) apresenta como condição de erro, a falha em T_{p1} ou uma falha em T_{p2} e T_{p3} . Se tivermos uma falha em T_{p1} , o caminho entre a alimentação da porta e a saída, não será formado em nenhuma combinação de entrada, com isso, a probabilidade de propagação de erro na saída é a soma da probabilidade de ocorrência de todos os vetores de entrada, visto que nenhum deles será capaz de mascarar o erro na saída. Da mesma forma, se a falha ocorrer nos transistores T_{p2} e T_{p3} ao mesmo tempo, também não teremos uma conexão entre a alimentação e a saída da porta em nenhuma combinação de entrada. Com isso, a probabilidade de propagação do erro é descrita como na Equação 8, sendo $P(i)$ a probabilidade de ocorrência do vetor i .

$$P_0 = \frac{\sum_{i=0}^7 P(i) + \sum_{i=0}^7 P(i)}{2} \quad (8)$$

Na combinação 001 , sabe-se que a saída esperada para a combinação da Figura 3.6(b) é “1”, com isso, se o estado anterior for uma combinação que coloque a saída para “0” (combinações 011 , 100 , 101 , 110 , 111), a falha será observada na saída. Analisando as combinações que colocam a saída para “1”, encontramos as combinações 000 , 001 e 010 , que podem mascarar o erro. Com isso, uma análise da condição de erro é executada, tendo como probabilidade de erro, a falha em T_{p1} ou T_{p2} . Considerando a falha em T_{p1} , nenhuma das combinações de entrada que colocam a saída para “1” formará conexão entre o terminal de alimentação e a saída, isso significa que a probabilidade de observação do erro será o somatório de ocorrência de todos os vetores de entrada, considerando a falha no transistor T_{p1} .

Por outro lado, se considerarmos a falha no transistor T_{p2} , temos que as mesmas combinações que colocam a saída para “0” não mascaram o erro. Com isso, analisando as combinações que colocam a saída para “1” e a falha em T_{p2} , o erro poderá ser mascarado caso o vetor de entrada anterior seja 000 ou 010 , pois estes vetores de entrada formarão uma conexão entre a saída e o terminal de alimentação pelos transistores T_{p1} e T_{p3} (veja Figura 3.4(a)). Neste caso, o erro não será mascarado se tivermos uma falha SOF em T_{p1} ou T_{p3} também, para isso, como os transistores não são 100% confiáveis, existe uma possibilidade de eles falharem, essa possibilidade deve ser levada em consideração. Caso o estado anterior seja 001 o erro será observado diretamente. Com isso, a probabilidade de observação do erro considerando uma falha em T_{p2} será modelada conforme a Equação 5. O primeiro termo da equação representa a

probabilidade de observação do erro considerando uma falha em T_{p1} , já o segundo termo da equação representa a probabilidade de observação do erro considerando a falha em T_{p2} .

$$P_0 = \frac{\{\sum_{i=0}^{i=7} P(i)\}}{2} + \frac{\{(P(1) + \sum_{i=3}^{i=7} P(i)) + [(P(T_{p1}) \text{OU } P(T_{p3})) * (P(0) + P(2))]\}}{2} \quad (9)$$

Na combinação 010 , a análise é bastante semelhante à combinação 001 . A probabilidade de erro neste caso é somente se T_{p1} ou T_{p3} apresentarem uma falha. No caso do transistor T_{p1} falhar, a probabilidade de propagação do erro é a mesma probabilidade computada anteriormente, ou seja, T_{p1} falhar implica em nenhuma combinação de entrada mascarar o erro. Contudo, quando o transistor T_{p3} falha, o erro poderá ser mascarado caso o vetor de entrada anterior seja 000 ou 001 , pois estes vetores de entrada formarão uma conexão entre a saída e o terminal de alimentação pelos transistores T_{p1} e T_{p2} (veja Figura 3.4 (a)). Com isso, a probabilidade desses dois vetores não mascararem o erro, é a probabilidade de falha em T_{p1} ou T_{p2} multiplicada pela soma da probabilidade de ocorrência dos vetores 000 e 001 , como podemos observar na Equação 10.

$$P_0 = \frac{\{\sum_{i=0}^{i=7} P(i)\}}{2} + \frac{\{(\sum_{i=2}^{i=7} P(i)) + [(P(T_{p1}) \text{OU } P(T_{p2})) * (P(0) + P(1))]\}}{2} \quad (10)$$

Analisando a combinação 011 , a sua saída esperada é “0”, com isso, as combinações 000 , 001 , 010 e 011 , definidas como estado anterior fará com que o erro seja observado diretamente. Temos que a probabilidade de erro é definida pela falha em T_{n2} ou T_{n3} . Quando a falha ocorre no transistor T_{n2} ou no transistor T_{n3} , o erro na saída pode ser mascarado nos estados 100 , 101 , 110 e 111 , pois estes estados formam uma conexão entre a saída e o terra do circuito pelo transistor T_{n1} . A única forma destes estados não mascararem o erro é se o transistor T_{n1} também apresentar uma falha, logo, a probabilidade de observação do erro é definida pela Equação 11.

$$P_0 = \frac{\{(\sum_{i=0}^{i=3} P(i)) + ((\sum_{i=4}^{i=7} P(i)) * P(T_{n1}))\}}{2} + \frac{\{(\sum_{i=0}^{i=3} P(i)) + ((\sum_{i=4}^{i=7} P(i)) * P(T_{n1}))\}}{2} \quad (11)$$

As combinações 100 , 101 e 110 possuem a mesma probabilidade de erro computada, visto que o transistor que está conduzindo é o transistor T_{n1} . Com isso, a análise do estado anterior para definir a probabilidade de observação do erro nestas combinações é

a mesma. As combinações 000 , 001 , 010 , 100 , 101 e 110 fazem com que o erro seja observado na saída diretamente, considerando a falha em T_{n1} . As combinações que podem mascarar o erro na saída são as combinações 011 e 111 que possuem um caminho passando por T_{n2} e T_{n3} . A única forma destas duas combinações não mascararem o erro é na presença de uma falha em T_{n2} ou T_{n3} . Com isso, a probabilidade de observação do erro, para as três combinações é definida pela Equação 12.

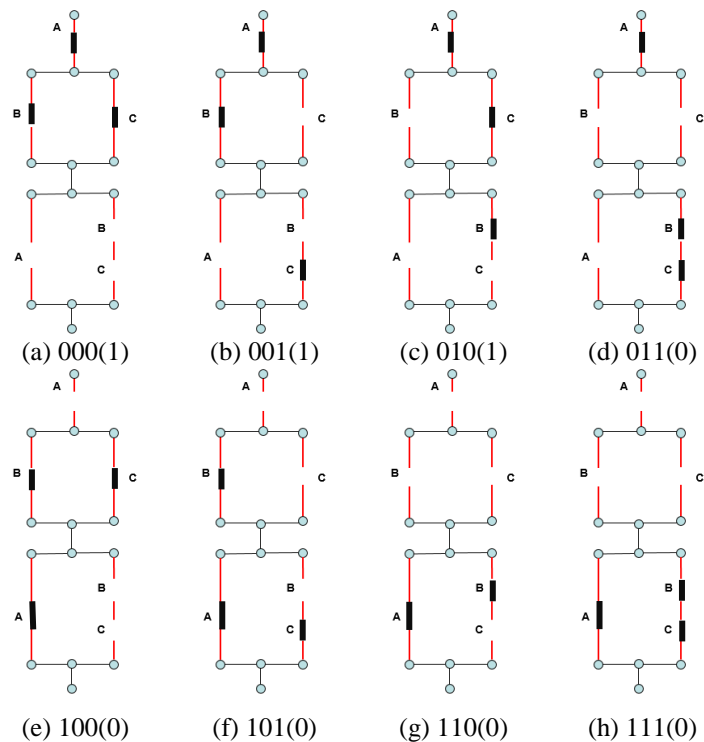
$$P_0 = \left\{ \left(\sum_{i=0}^{i=3} P(i) \right) + \left(\sum_{i=5}^{i=6} P(i) \right) + (P(T_{n2}) \text{OU } P(T_{n3})) * (P(4) + P(7)) \right\} \quad (12)$$

Analisando a combinação de entrada 111 , vemos que a saída esperada desta combinação é “0”, com isso, na análise do estado anterior, as combinações que deixam a saída em “1” fazem com que o erro seja observado diretamente (combinações 000 , 001 e 010). A combinação 111 também faz com que o erro seja observado. Ao analisar a probabilidade de erro, temos que é necessária uma falha no transistor T_{n1} e nos transistores T_{n2} ou T_{n3} . Neste caso, se tivermos uma falha em T_{n1} e T_{n2} , nenhuma combinação poderá conectar a saída ao terra do circuito, ou seja, o erro não será mascarado. No caso de falha em T_{n1} e T_{n3} a mesma condição se aplica, pois, nenhuma combinação poderá mascarar o erro na saída. Com isso, a probabilidade de propagação de erro nesta combinação de entrada é definida pela Equação 13.

$$P_0 = \frac{\{(\sum_{i=0}^{i=7} P(i)) + (\sum_{i=0}^{i=7} P(i))\}}{2} \quad (13)$$

Ao final da análise, a Tabela 3 é formada, descrevendo o valor da probabilidade de observação do erro de cada combinação de entrada considerando a probabilidade de cada entrada ser “1” de 50%. É importante observar que dependendo do vetor de entrada, temos uma probabilidade de observação do erro diferente, considerando falhas *Stuck-Open* na porta lógica AOI21. Conforme o fluxograma apresentado na seção anterior mostra, a falha *Stuck-On* não realiza análise de estado anterior, porque ela não causa um comportamento de alta impedância na saída. Com isso, assume-se que a probabilidade de observação do erro para este tipo de falha seja sempre 100%.

Figura 3.6 Representação do funcionamento do arranjo utilizando lógica de chaves em uma AOI21 em cada combinação de entrada com sua saída esperada



Fonte: O autor

Tabela 3 Probabilidade de observação de erro de uma AOI21 considerando o arranjo de transistores

Combinação (abc)	P_o (%)	
	<i>Stuck-Open</i>	<i>Stuck-On</i>
000	100,0	100,0
001	87,7	100,0
010	87,7	100,0
011	50,5	100,0
100	75,5	100,0
101	75,5	100,0
110	75,5	100,0
111	100,0	100,0

Com as informações da probabilidade de erro parcial e a probabilidade de observação do erro da porta obtida, é possível formar a PTM da porta. Para cada combinação de entrada i , a probabilidade de erro calculada p_i será a multiplicação da probabilidade de erro parcial com a probabilidade de observação do erro. Conseqüentemente, a confiabilidade q_i será denotada por $q_i = 1 - p_i$.

A Figura 3.7(a) apresenta a PTM considerando os valores originais utilizados por outros trabalhos enquanto que a Figura 3.7(b) apresenta a PTM da porta para falhas *Stuck-On* e a Figura 3.7(c) a PTM para falhas *Stuck-Open*. As representações foram realizadas considerando um fator de confiabilidade da tecnologia $q=0,99$ e a probabilidade de as entradas serem “1” foi considerada de 50%.

Com a PTM da porta finalizada é possível calcular a confiabilidade da porta de acordo com a distribuição da probabilidade dos vetores de entrada e a sua ITM. A confiabilidade do circuito é dada pela probabilidade de a saída estar correta, logo, o cálculo da confiabilidade final da porta (para evitar confusão, utilizaremos a confiabilidade final da porta como R_E), é dado pela Equação 14. O elemento $p(i)$ presente na equação representa a probabilidade de ocorrência de uma combinação de entrada i , e $p(j|i)$ é o (i,j) -ésimo valor na PTM, que representa a probabilidade da saída j dada uma entrada i . Os elementos considerados da PTM serão somente os que apresentam o respectivo elemento na ITM com valor “1” (FRANCO, 2008). Com isso o cálculo da confiabilidade da porta AOI21 será realizado utilizando as PTMs da

Figura 3.7 e a probabilidade dos vetores de entrada e a ITM presentes na Figura 3.4 (b) e (c).

$$R_E = \sum_{ITM(i,j)=1} p(j|i) * p(i) \quad (14)$$

Figura 3.7 Diferenças entre as PTMs em uma AOI21

$\begin{matrix} & \begin{matrix} 0 & 1 \end{matrix} \\ \begin{matrix} 000 \\ 001 \\ 010 \\ 011 \\ 100 \\ 101 \\ 110 \\ 111 \end{matrix} & \begin{bmatrix} 0,010000 & 0,990000 \\ 0,010000 & 0,990000 \\ 0,010000 & 0,990000 \\ 0,990000 & 0,010000 \\ 0,990000 & 0,010000 \\ 0,990000 & 0,010000 \\ 0,990000 & 0,010000 \\ 0,990000 & 0,010000 \end{bmatrix} \end{matrix}$	$\begin{matrix} & \begin{matrix} 0 & 1 \end{matrix} \\ \begin{matrix} 000 \\ 001 \\ 010 \\ 011 \\ 100 \\ 101 \\ 110 \\ 111 \end{matrix} & \begin{bmatrix} 0,010099 & 0,989901 \\ 0,019900 & 0,980100 \\ 0,019900 & 0,980100 \\ 0,980100 & 0,019900 \\ 0,990000 & 0,010000 \\ 0,990000 & 0,010000 \\ 0,990000 & 0,010000 \\ 0,999801 & 0,000199 \end{bmatrix} \end{matrix}$	$\begin{matrix} & \begin{matrix} 0 & 1 \end{matrix} \\ \begin{matrix} 000 \\ 001 \\ 010 \\ 011 \\ 100 \\ 101 \\ 110 \\ 111 \end{matrix} & \begin{bmatrix} 0,010099 & 0,989901 \\ 0,017462 & 0,982538 \\ 0,017462 & 0,982538 \\ 0,989950 & 0,010050 \\ 0,992450 & 0,007550 \\ 0,992450 & 0,007550 \\ 0,992450 & 0,007550 \\ 0,999801 & 0,000199 \end{bmatrix} \end{matrix}$
(a) PTM original	(b) PTM considerando SOnF e dependência das entradas	(c) PTM considerando SOF e dependência das entradas

Fonte: O autor

4 RESULTADOS

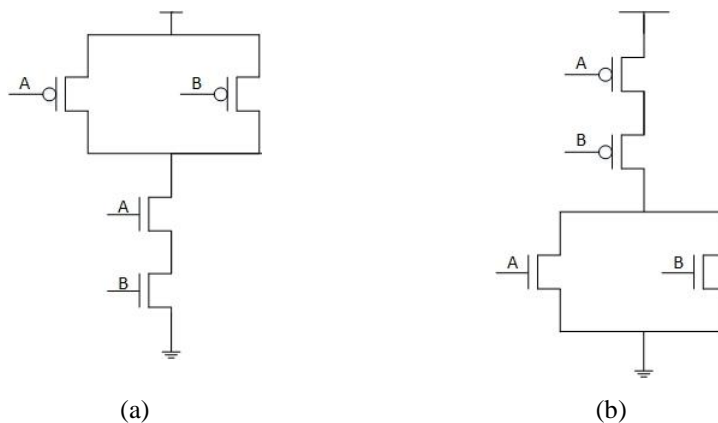
A apresentação dos resultados será dividida por análise, em um total de 5 análises diferentes. A primeira análise consiste no impacto causado pela variação do fator de confiabilidade da tecnologia (q) na confiabilidade das portas lógicas. Na sequência, a segunda análise apresenta a diferença na confiabilidade das portas utilizando as PTMs criadas pelo modelo desenvolvido e o modelo original da PTM. A terceira análise verifica a probabilidade de erro do vetor crítico das portas lógicas analisadas neste trabalho. Na quarta análise, uma verificação do impacto na confiabilidade, causado por diferentes probabilidades dos vetores de entrada nas portas lógicas. Por fim, a quinta análise apresenta os resultados da criação das PTMs considerando a presença de pelo menos uma das duas falhas nos circuitos. As análises deste trabalho consideraram dezenove portas lógicas de uma biblioteca de células, entre elas: Inversor, NAND2, NAND3, NAND4, NOR2, NOR3, NOR4, AOI21, OAI21, AOI22, OAI22, AOI211, OAI211, AOI221, OAI221, AOI222, OAI222, AOI33 e OAI33.

4.1 Análise 1: Impacto do fator de confiabilidade

Os detalhes sobre o processo e a probabilidade de falha (p) são considerados informações estratégicas mantidas pela indústria. Os valores reais de confiabilidade da tecnologia são valores desconhecidos fora do meio industrial. Por esta razão, a primeira avaliação presente neste trabalho explora a influência da confiabilidade da tecnologia (q) no modelo proposto para falhas *Stuck-On/Open* em um conjunto de portas lógicas. Neste experimento, foi considerado o comportamento de diferentes portas lógicas considerando valores de confiabilidade da tecnologia de zero até um. Nessa análise, considerou-se que os vetores de entrada possuem a mesma probabilidade de ocorrência. As demais portas foram omitidas devido aos mesmos arranjos de transistores presentes nas mesmas, mas em planos diferentes. Essa presença de mesmos arranjos de

transistores faz com que as portas apresentem o mesmo comportamento. Por exemplo, na Figura 4.1 a porta lógica NAND2 apresenta o mesmo arranjo de transistores que a porta lógica NOR2, porém em planos diferentes (arranjo em série em um plano, arranjo em paralelo em outro). A presença de mesmos arranjos de transistores faz com que o comportamento da confiabilidade da porta seja semelhante. Essa mesma afirmação é válida para as portas AOI-OAI, as quais possuem os mesmos arranjos, mas em planos diferentes.

Figura 4.1 Esquemático de duas portas lógicas com arranjos de transistores iguais, em planos diferentes (a) NAND2, (b) NOR2

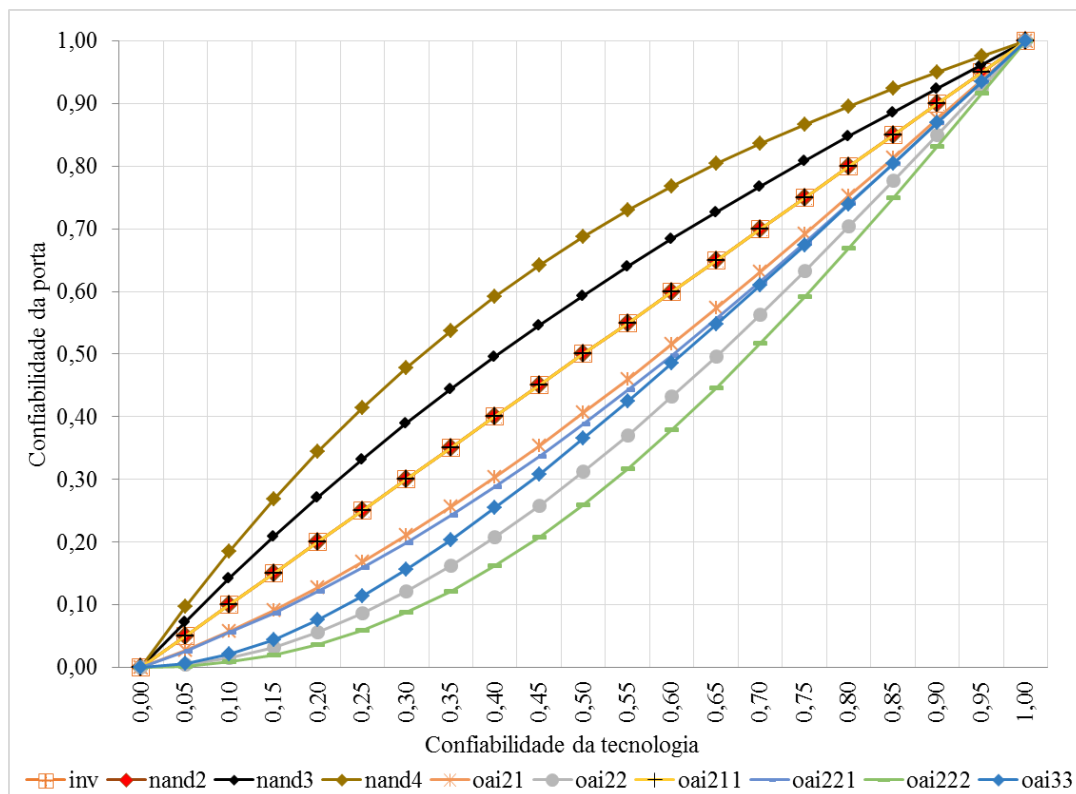


Fonte: O autor

I. Falhas *Stuck-On*

Observando a Figura 4.2, é possível observar que as portas apresentam um comportamento semelhante, conforme a confiabilidade da tecnologia aumenta (eixo horizontal), maior é a confiabilidade das portas (eixo vertical). Considerando as condições estabelecidas na Figura 3.4, nas quais os vetores de entrada das portas possuem probabilidades de ocorrência iguais, as portas INV, NAND2, AOI211, NOR2 e OAI211 apresentaram o mesmo valor de confiabilidade da tecnologia como confiabilidade da porta. Esse comportamento é também observado quando considerados os valores originais da PTM destas portas, que consideram a confiabilidade da porta igual ao valor da confiabilidade da tecnologia.

Figura 4.2 Confiabilidade das portas com a variação da confiabilidade da tecnologia e mesma probabilidade dos vetores de entrada na análise de falhas SOnF



Fonte: O autor

As portas lógicas que apresentaram valor de confiabilidade superior ao valor de confiabilidade da tecnologia foram as portas NAND4, NOR4, NAND3 e NOR3. Esse comportamento ocorre principalmente porque essas portas apresentam um arranjo com pelo menos três transistores em série nos planos mais frequentemente analisados. Por exemplo, a porta lógica NAND3 possui valor da saída esperada “1” em 7/8 dos casos, ou seja, o plano *pull-up* está conectando a saída ao terminal de alimentação na maior parte das combinações de entrada.

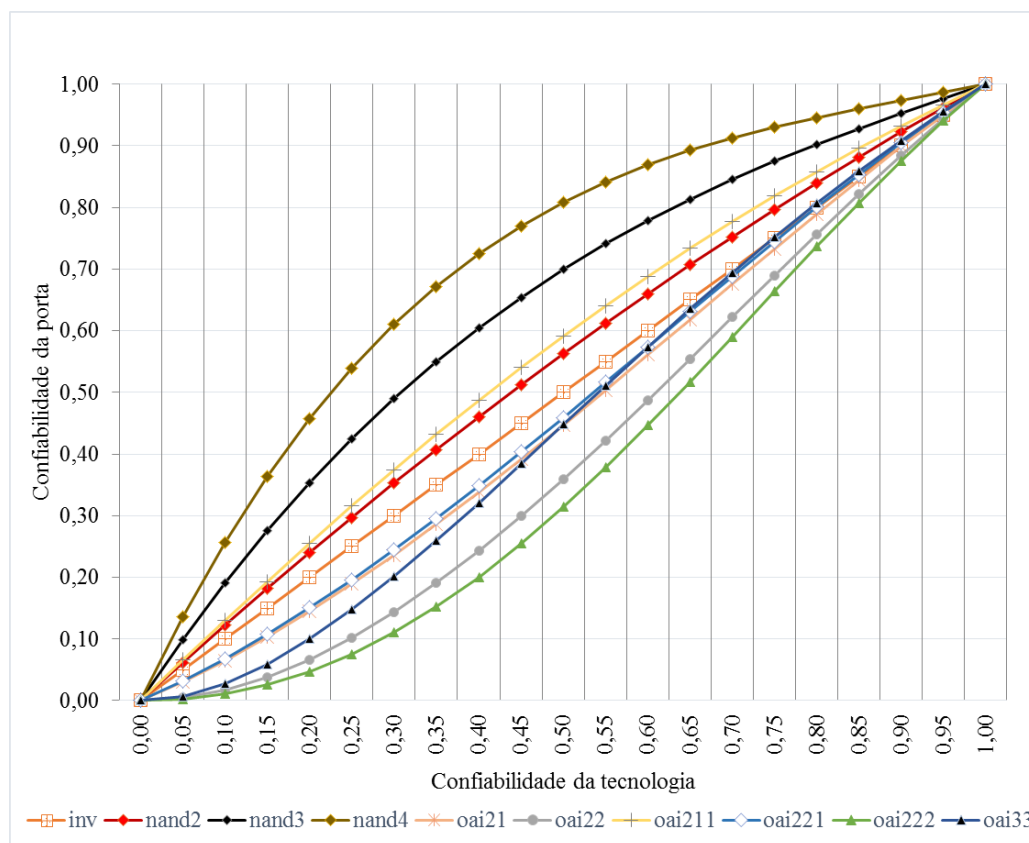
Considerando que a falha *Stuck-On* afeta o circuito quando causa uma condição de baixa impedância da saída em relação à alimentação e o terra do circuito, o plano *pull-down* da porta NAND3 será o plano analisado em 7/8 dos casos, formado por três transistores em série. Como discutido anteriormente neste trabalho, arranjos de transistores em série são bastante robustos a falhas *Stuck-On*, o que justifica o bom desempenho da porta quando consideramos vetores de entrada com mesma probabilidade de ocorrência. Esse mesmo comportamento é observado na porta

NAND4, da qual possui 15/16 combinações com saída esperada “1”. Da mesma maneira, a porta lógica NOR3 possui saída “0” em 7/8 combinações, fazendo com que o plano analisado na maior parte dos casos seja o plano *pull-up*, com três transistores em série. A robustez deste plano analisado na maioria das combinações às falhas *Stuck-On* causa um aumento na confiabilidade desta porta. O mesmo comportamento é observado na porta NOR4, na qual possui saída “0” em 15/16 combinações.

II. Falhas *Stuck-Open*

A Figura 4.3 apresenta o valor de confiabilidade calculado utilizando as mesmas portas lógicas avaliadas para as falhas *Stuck-On*. Do mesmo modo que na Figura 4.1, a Figura 4.3 apresenta um comportamento semelhante da confiabilidade das portas, conforme a confiabilidade da tecnologia aumenta (eixo horizontal), maior é a confiabilidade das portas (eixo vertical).

Figura 4.3 Confiabilidade das portas com a variação da confiabilidade da tecnologia e mesma probabilidade dos vetores de entrada na análise de falhas SOF



Fonte: O autor

O Inversor é a porta lógica que apresenta exatamente o mesmo valor de confiabilidade da tecnologia como confiabilidade da porta. Na técnica PTM original, a probabilidade de uma saída esperada j , dada uma entrada i é definida pelo valor de confiabilidade da tecnologia q , definido por $p(j/i) = q$. Considerando a abordagem original da PTM, todas as portas terão o mesmo resultado para a probabilidade de erro do inversor. No gráfico presente na Figura 4.3 é possível observar a influência do arranjo de transistores. A porta lógica NAND4 apresenta os melhores valores de confiabilidade da porta, enquanto que a porta AOI222 apresenta os piores valores. As associações de transistores puramente série ou paralelo presentes na porta NAND são responsáveis por este comportamento, esta característica também é responsável pelo pior caso, no qual será explorado a seguir neste trabalho.

Para as próximas análises foi considerado um valor de confiabilidade da tecnologia igual a 99% ($q=0,99$). Esse valor representa uma tecnologia altamente confiável. A definição do valor foi uma escolha arbitrária, somente com intenção de exemplificar a análise, visto que o modelo desenvolvido por este trabalho pode lidar com qualquer valor de q .

4.2 Análise 2: Confiabilidade das portas lógicas

A análise de confiabilidade das portas lógicas considera que todos os vetores de entrada das portas apresentam a mesma probabilidade de ocorrência. Neste segundo experimento, serão mostradas as diferenças na probabilidade de erro considerando os valores originais da PTM e as PTMs criadas pelo modelo desenvolvido neste trabalho.

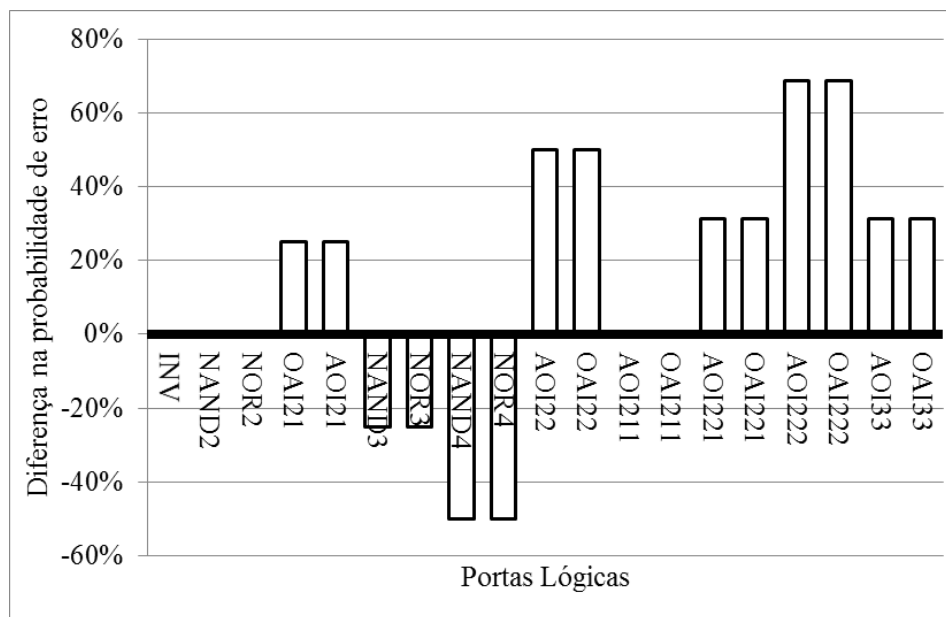
I. Falhas *Stuck-On*

A Figura 4.4 apresenta a diferença computada entre o método com os valores originais da PTM com os valores obtidos utilizando o modelo proposto por este trabalho para falhas SOnF. Os valores apresentados consideram que os vetores de entrada das portas possuem a mesma probabilidade de ocorrência. O cálculo da probabilidade de erro da porta foi realizado em função da confiabilidade final da porta, calculada utilizando a Equação 14, tal como definido na Equação 15.

$$p = 1 - R_E \quad (15)$$

Analisando a Figura 4.4 é possível perceber que as portas INV, NAND2, NOR2, AOI211 e OAI211 não apresentaram diferença na probabilidade de erro final comparando os dois métodos. As portas NAND3-NOR3 e NAND4-NOR4 apresentaram uma redução na probabilidade de erro de 25% e 50%, respectivamente. Essa redução na probabilidade de erro destas portas é causada pela constante avaliação do plano com n transistores em série, o que reduz a probabilidade de erro causada por falhas *Stuck-On*.

Figura 4.4 Diferença computada na probabilidade de erro das portas comparando os valores originais da PTM com os valores obtidos para falhas SOnF



Fonte: O autor

No entanto, as portas AOI21 e OAI21 apresentaram um aumento na probabilidade de erro de 25%. As portas AOI221, OAI221 AOI33 e OAI33 apresentaram um aumento de aproximadamente 30% na probabilidade de erro, enquanto que as portas AOI22-OAI22 e AOI222-OAI222 apresentaram os piores resultados, com um aumento de 50% e 69%, respectivamente. Para o comportamento de portas com arranjos série/paralelo não há uma regra geral. Uma observação inicial mostra que a quantidade de associações série/paralelo é proporcional ao aumento/redução da probabilidade de erro. Como exemplo, AOI21 possui quatro possíveis associações série/paralelo, enquanto que a AOI222 possui oito. Esse alto número de associações série/paralelo ocasiona uma maior probabilidade de erro.

II. Falhas *Stuck-Open*

A diferença na probabilidade de erro entre o modelo original PTM e o modelo proposto considerando falhas SOF é apresentada na Figura 4.5. As diferenças positivas/negativas correspondem à um aumento/redução na probabilidade de erro computada, respectivamente. É possível verificar na análise do inversor, que as falhas SOF apresentam valor de probabilidade de erro igual à probabilidade de erro obtida para as falhas SOnF. Nos demais casos, os valores obtidos para a probabilidade de erro das portas foram menores do que os valores obtidos na análise de falhas SOnF realizada anteriormente.

Figura 4.5 Diferença na probabilidade de erro entre o modelo original da PTM e o modelo proposto considerando falhas SOF



Fonte: O autor

A justificativa deste comportamento é pela característica das falhas SOnF e SOF. Ao contrário da falha SOnF, a condição de alta impedância da saída gerada por uma falha SOF faz com que o erro possa ser mascarado, dependendo do valor armazenado na saída pelo estado anterior. Isso faz com que a probabilidade de erro calculada para uma falha SOF seja menor ou igual (no pior caso) ao valor da probabilidade de erro computado para as falhas SOnF.

Novamente, as portas que apresentaram a maior redução na probabilidade de erro foram as portas NAND e NOR. A análise das falhas SOF ocorre no plano que está ligando o terminal de alimentação ou terra com a saída. Nas portas NAND3, por exemplo, temos que 7/8 das combinações de entrada resultam em uma saída igual a “1”. Com isso, o plano mais analisado é o plano *pull-up*, composto por três transistores em paralelo. Planos com associações de transistores em paralelo são bastante robustos a falhas SOF, causando uma redução na probabilidade de erro da porta. Isso também ocorre na porta NOR, onde a saída igual a “0” é esperada em quase todas as combinações, fazendo com que o plano analisado seja o plano *pull-down*, composto por associações de transistores em paralelo.

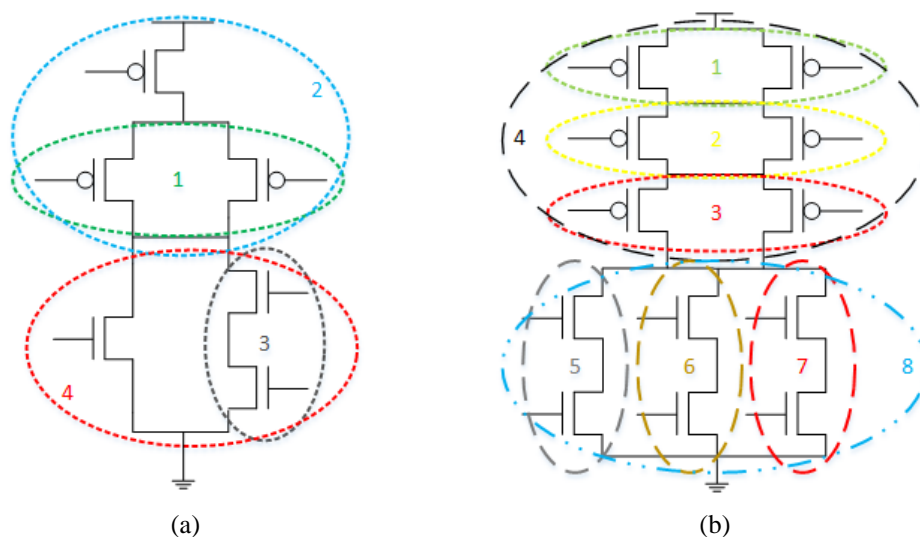
Conforme mencionado anteriormente na avaliação das portas com associações de transistores série/paralelas, a quantidade de caminhos em paralelo influencia na probabilidade de erro destas portas. Por exemplo, considere as portas lógicas AOI21 e AOI222 com os seus esquemáticos apresentados na Figura 4.6. A porta lógica AOI222 possui quatro possíveis associações de transistores em cada plano, enquanto que a porta lógica AOI21 possui duas. No caso da avaliação das falhas SOF é possível perceber uma grande influência do estado anterior na probabilidade de erro final da porta, porque, quando comparamos a diferença entre os valores originais da PTM e estas duas falhas, as portas com associações série/paralelas possuem comportamentos diferentes na falha SOF. Nos resultados obtidos para falhas SOnF, as portas apresentaram o mesmo comportamento.

A Tabela 4 apresenta a quantidade de combinações de entrada das portas que possuem uma probabilidade de erro computada menor comparada à probabilidade de erro da tecnologia “ p ”. É importante observar que a quantidade de combinações com probabilidade de erro menores é diferente para cada tipo de falha, com um maior número para a falha SOF. Novamente aqui se destaca a influência da análise do estado anterior na probabilidade de erro das portas. Esse aumento no número de combinações de entrada com probabilidade de erro menor foi observado em todas as portas com associações série/paralelas.

Observe a porta lógica OAI33, esta porta possui 50/64 combinações com probabilidade de erro menor que a probabilidade de erro da tecnologia (p) quando analisamos as falhas SOF. Contudo, essa porta apresenta somente uma pequena redução

na probabilidade de erro final da porta, conforme ilustrado na Figura 4.5. Esse comportamento é observado porque as outras 14/64 combinações de entrada apresentam a probabilidade de erro igual à probabilidade de erro do vetor crítico. Por outro lado, observando a porta lógica OAI211, com uma boa redução na probabilidade de erro final da porta, conforme a Figura 4.5 mostra, percebe-se que essa porta possui 13/16 combinações de entrada com probabilidade de erro reduzida, justificando a sua redução na probabilidade de erro final.

Figura 4.6 Número de associações série/paralelo para (a) AOI21 e (b) AOI222



Fonte: O autor

Tabela 4 Quantidade de combinações que apresentaram probabilidade de erro menor para cada tipo de falha nas portas com associações série/paralelas

Portas	Total de Combinações de Entrada	Quantidade de combinações com probabilidade de erro menor que a probabilidade de erro da tecnologia	
		Considerando SOnF	Considerando SOF
OAI21	8	1	4
OAI22	16	2	6
OAI211	16	6	13
OAI221	32	8	23
OAI33	64	17	50
OAI222	64	11	17

4.3 Análise 3: Análise do vetor crítico das portas lógicas

A avaliação do vetor crítico mostra o vetor de entrada que apresenta o menor valor de confiabilidade, ou seja, com a maior probabilidade de erro. A importância da análise do vetor crítico é devido ao fato de que em condições reais de operação, as portas lógicas podem possuir probabilidades de ocorrência dos vetores de entrada diferentes, podendo causar uma diferença na confiabilidade final da porta. Os resultados apresentados até agora consideram que os vetores de entrada das portas lógicas possuem sempre a mesma probabilidade de ocorrência. Sabe-se que a probabilidade de ocorrência dos vetores de entrada em um circuito não é sempre igual. Com o intuito de avaliar o pior caso das portas, esta análise apresenta a probabilidade de erro definida pelo vetor crítico das mesmas. Conforme mencionado anteriormente, o vetor crítico de uma porta é a combinação de entrada com a maior probabilidade de erro, ou seja, a combinação mais sensível ao tipo de falha que se está analisando.

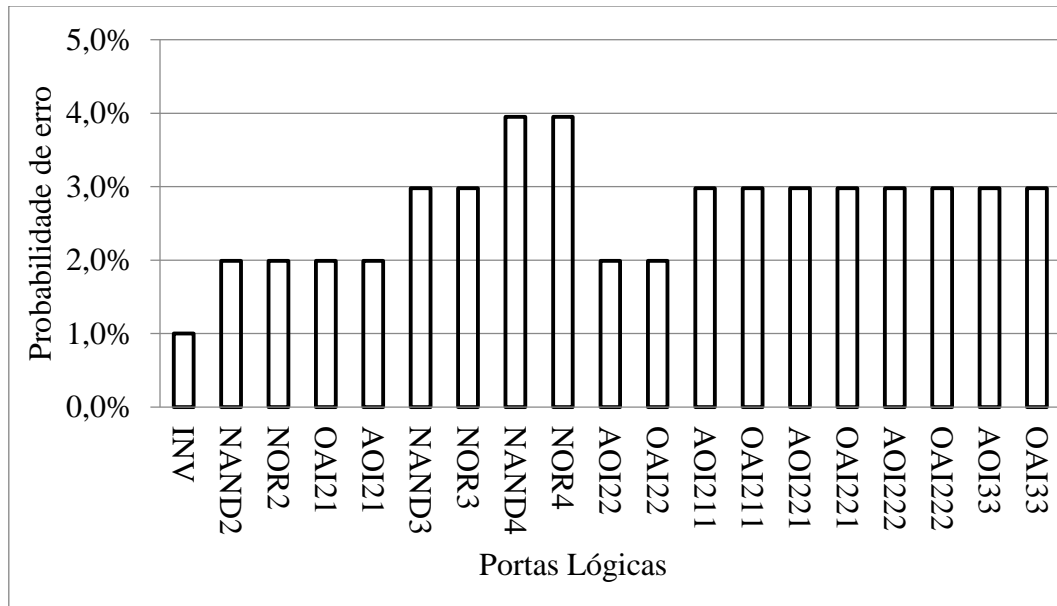
I. Falhas *Stuck-On*

A Figura 4.7 mostra a análise do vetor crítico considerando falhas *Stuck-On*. Pode-se observar que as portas NAND4 e NOR4 apresentam os piores resultados de probabilidade de erro do vetor crítico. Esse comportamento ocorre devido ao vetor $abcd = "1111"$ e $abcd = "0000"$, respectivamente. Estas combinações de entrada produzem uma saída esperada igual a "0" para a porta NAND4 e igual a "1" para a NOR4. Com isso, o plano analisado com a presença da falha será o plano *pull-up*, para a porta NAND4 e o plano *pull-down*, para a NOR4. Conforme se pode observar na Figura 4.8, estes planos são compostos por quatro transistores em paralelo, uma associação bastante sensível a uma falha *Stuck-On*.

Uma análise geral dos resultados aponta que as portas apresentam comportamentos que dependem do número de caminhos em paralelo no vetor crítico. O número de caminhos em paralelo define a sensibilidade da porta para as falhas SOnF, ou seja, quanto maior o número de caminhos em paralelo formado no vetor crítico, maior é a probabilidade de erro computada. Por exemplo, as portas NAND3, NOR3, AOI211-OAI211, AOI221-OAI221, AOI222-OAI222 e AOI33-OAI33 possuem no seu vetor

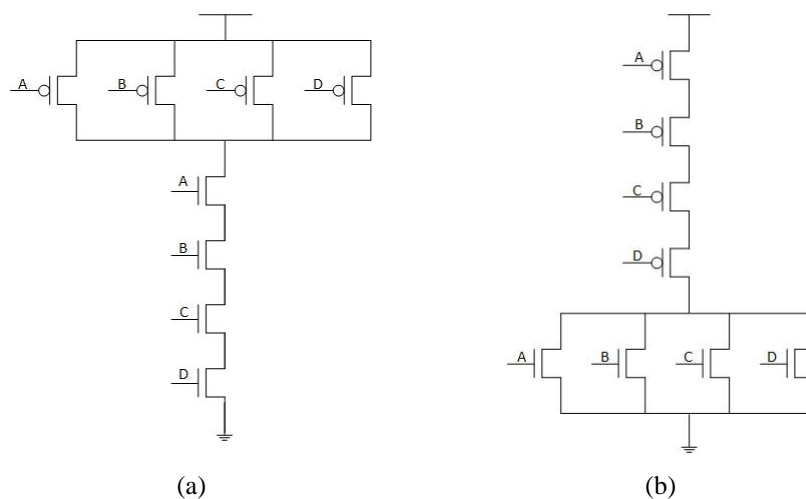
crítico três caminhos em paralelo. As portas NAND2, NOR2, AOI21- OAI21 e AOI22- OAI22 possuem dois caminhos em paralelo no seu vetor crítico.

Figura 4.7 Probabilidade de erro do vetor crítico das portas analisadas neste trabalho



Fonte: O autor

Figura 4.8 Esquemático das portas lógicas (a) NAND4 e (b) NOR4



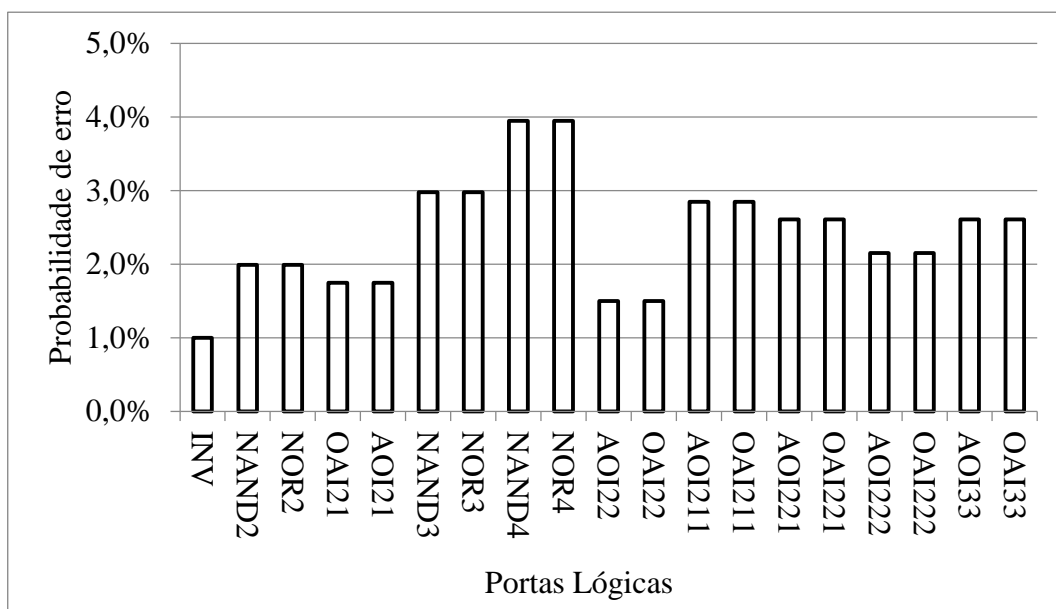
Fonte: O autor

II. Falhas *Stuck-Open*

A Figura 4.9 apresenta a maior probabilidade de erro obtida para cada porta lógica considerando falhas *Stuck-Open*. Quando consideramos o vetor crítico, o arranjo mais sensível à falha é observado.

As portas que apresentaram a pior probabilidade de erro no vetor crítico foram as portas NAND4 e NOR4. Esse comportamento é justificado pelos quatro transistores em série na análise de falhas SOF e os quatro transistores em paralelo na análise de falhas SOnF. As demais portas, formadas por associações série/paralelas combinadas em seus planos observou-se que a probabilidade de erro calculada para falha SOF possui uma grande influência da análise do estado anterior. Comparando a probabilidade de erro do vetor crítico para falhas SOF da Figura 4.9 com o vetor crítico para falha SOnF da Figura 4.7 é possível observar que a probabilidade de erro calculada para falha SOF é menor que a probabilidade de erro calculada para a falha SOnF. A explicação para essa menor probabilidade de erro é devido à análise do estado anterior e o possível mascaramento do erro na saída na falha SOF.

Figura 4.9 Análise do vetor crítico para SOF



Fonte: O autor

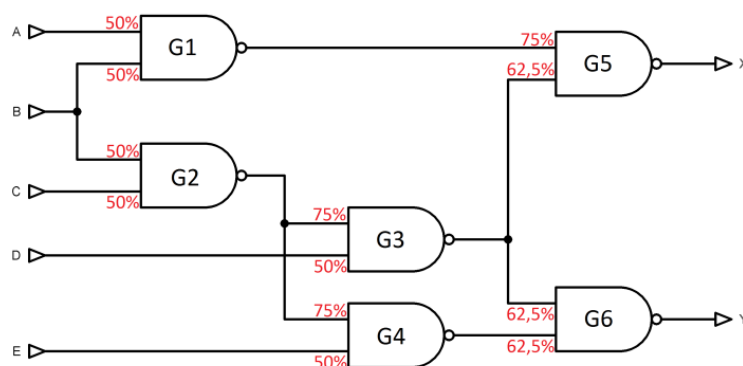
4.4 Análise 4: Impacto de diferentes probabilidades dos vetores de entrada

Os resultados até aqui apresentados consideram que os vetores de entrada apresentam probabilidades de ocorrência iguais. Sabe-se que em um circuito, as portas lógicas presentes nos mais diversos níveis podem apresentar diferentes probabilidades

dos vetores de entrada. Os resultados apresentados nesta seção foram publicados e estão disponíveis em (SCHIVITZ *et al.*, 2017).

Em uma primeira análise, considerou-se o circuito C17 presente na Figura 4.10. Este circuito é composto por seis portas NAND de duas entradas. Mesmo que a probabilidade de os sinais de entrada serem “1” seja igual (valores assumidos de 50% nos sinais de entrada do circuito), a probabilidade dos sinais de entrada das portas não é a mesma. Note que a porta *G1* apresenta probabilidade dos sinais de entrada diferente da porta *G3*, que também é diferente da probabilidade dos sinais de entrada das portas *G4*, *G5* e *G6*.

Figura 4.10 Circuito C17 com a informação da probabilidade dos sinais de entrada serem “1” de cada porta lógica considerando a propagação dos sinais



Fonte: O autor

Utilizando as probabilidades dos sinais de entrada mostrados na Figura 4.10, a Tabela 5 é formada apresentando a probabilidade de ocorrência de cada combinação de entrada. Pode-se perceber que as somente as portas *G1* e *G2* apresentam a mesma probabilidade de ocorrência dos vetores de entrada, visto que a probabilidade dos sinais serem “1” é a mesma.

A diferença encontrada nas probabilidades de ocorrência dos vetores de entrada faz com que a PTM destas portas considerando a falha SOF seja diferente. Na análise das falhas SOF a diferença na probabilidade de ocorrência dos vetores implica em diferentes probabilidades de observação do erro, podendo alterar a probabilidade de erro final de cada combinação de entrada. Com isso, considerando o modelo desenvolvido e a probabilidade de ocorrência dos vetores de entrada são criadas as PTMs para as portas lógicas. Essas PTMs são apresentadas na Figura 4.11, considerando o fator de

confiabilidade da tecnologia $q=0,99$. Como comentado anteriormente, a PTM original é a única que apresenta o valor da confiabilidade da porta como probabilidade de ocorrência da saída esperada, em todas as combinações. Por outro lado, as PTMs criadas pelo modelo desenvolvido considerando falhas SOnF e SOF apresentam valores diferentes da probabilidade de ocorrência da saída esperada para cada combinação. Essa diferença é resultado da inserção da informação do arranjo de transistores na PTM original, proporcionada pelo modelo desenvolvido.

Com a informação das PTMs da Figura 4.11 é possível computar a probabilidade de erro das portas. Conforme mencionado anteriormente, a probabilidade de erro da porta é definida pela Equação 15. Os resultados de probabilidade de erro das portas presentes no circuito C17 são mostrados na Tabela 6. Estes resultados consideram as PTMs da Figura 4.11 e a probabilidade dos vetores da Tabela 5. É possível perceber que quanto maior a probabilidade de ocorrência do vetor crítico das portas, maior é a probabilidade de erro final da porta.

Tabela 5 Probabilidade de ocorrência dos vetores de entrada nas portas NAND2 presentes no circuito C17

Probabilidade do vetor de entrada / Probabilidade das entradas serem "1"	G1 / G2	G3 / G4	G5	G6
	I ₁ =50,0% I ₂ =50,0%	I ₁ =75,0% I ₂ =50,0%	I ₁ =75,0% I ₂ =62,5%	I ₁ =62,5% I ₂ =62,5%
P(00)	25,00%	12,50%	9,38%	14,06%
P(01)	25,00%	12,50%	15,62%	23,44%
P(10)	25,00%	37,50%	28,12%	23,44%
P(11)	25,00%	37,50%	46,88%	39,06%

Figura 4.11 Valores da PTM: (a) original; (b) SOnF; (c) SOF para G1/G2; (d) SOF para G3/G4; (e) SOF para G5; (f) SOF para G6

	0	1
00	0.0100	0.9900
01	0.0100	0.9900
10	0.0100	0.9900
11	0.9900	0.0100

(a)

	0	1
00	0.0001	0.9999
01	0.0100	0.9900
10	0.0100	0.9900
11	0.9801	0.0199

(b)

	0	1
00	0.0001	0.9999
01	0.0050	0.9950
10	0.0050	0.9950
11	0.9801	0.0198

(c)

	0	1
00	0.0001	0.9999
01	0.0050	0.9950
10	0.0075	0.9925
11	0.9801	0.0198

(d)

	0	1
00	0.0001	0.9999
01	0.0062	0.9938
10	0.0075	0.9925
11	0.9801	0.0198

(e)

	0	1
00	0.0001	0.9999
01	0.0062	0.9938
10	0.0062	0.9938
11	0.9801	0.0198

(f)

Fonte: O autor

O vetor crítico da porta NAND2 é o vetor “ $ab = 11$ ” e o vetor mais robusto é o vetor “ $ab = 00$ ”, com isso, observe que a porta lógica com a maior probabilidade de ocorrência do vetor crítico é a porta G5, com 46,88%, seguida da porta G6, com 39,06% e das portas G3/G4, com 37,50%. Note que a probabilidade de erro da porta G6 é menor do que das portas G3/G4, isso ocorre porque a porta G6 possui uma maior probabilidade de ocorrência do vetor mais robusto. Este exemplo enfatiza a importância em considerar o arranjo de transistores e a influência do vetor de entrada na análise de confiabilidade das portas.

Utilizando os valores originais da PTM, não há diferença na probabilidade de erro das portas, no entanto, ao utilizarmos as PTMs criadas pelo modelo desenvolvido, é possível perceber as portas lógicas mais sensíveis no circuito. Essa informação pode ser explorada pelo projetista de forma a aumentar a confiabilidade do circuito aplicando técnicas para aumento de confiabilidade diretamente nas células mais sensíveis.

Tabela 6 Probabilidade de erro das portas presentes no circuito C17

PTM utilizada	Probabilidade de erro das portas (%)					
	G1	G2	G3	G4	G5	G6
Original	1.00	1.00	1.00	1.00	1.00	1.00
SOnF	1.00	1.00	1.25	1.25	1.37	1.25
SOF	0.75	0.75	1.09	1.09	1.24	1.07

Os resultados apresentados até aqui consideram a presença exclusiva de falhas *Stuck-On* ou falhas *Stuck-Open* na análise da probabilidade de erro das portas para a criação das PTMs. O modelo desenvolvido é capaz de criar PTMs para as portas lógicas considerando estas duas falhas permanentes, no entanto, os resultados apresentados até aqui não consideram a presença dessas falhas ocorrendo juntas no circuito. Em condições normais de operação, uma porta lógica pode ser afetada por qualquer uma destas duas falhas, visto que elas ocorrem em planos diferentes da porta.

4.5 Análise 5: Impacto da presença de falhas SOnF e SOF na confiabilidade das portas lógicas

Com o intuito de gerar PTMs que considerem a presença de ambas as falhas, esta seção apresenta os resultados das PTMs criadas considerando a ocorrência de falhas

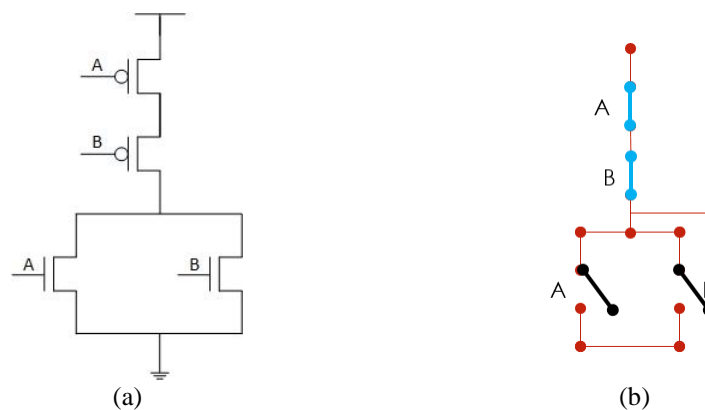
Stuck-On ou falhas *Stuck-Open* nas portas lógicas. Pretende-se, com a criação destas novas PTMs, aumentar a precisão no cálculo da confiabilidade de circuitos.

A análise foi realizada na mesma biblioteca de células utilizada anteriormente. Sabe-se que em uma porta lógica, com seus planos *pull-up* e *pull-down* bem definidos, em cada combinação de entrada existe uma probabilidade de erro ocasionada por falhas SOnF ou SOF. Contudo, estas falhas podem ocasionar um erro na saída, mas elas não ocorrem nos mesmos planos, como vimos anteriormente.

A Figura 4.12(a) apresenta o esquemático de uma porta NOR2. Na Figura 4.12(b) o comportamento dos transistores utilizando lógica de chaves em uma combinação de entrada “ $ab = 00$ ” é apresentado. Na presença de falhas SOnF, pode ocorrer uma condição de baixa impedância na saída caso os transistores T_3 e T_4 falhem, no plano *pull-down*. Por outro lado, na presença de falhas SOF, uma condição de alta impedância na saída pode ser observada caso ambos transistores T_1 e T_2 falhem, presentes no plano *pull-up*. Ambas as condições de alta e baixa impedância na saída ocasionam a observação do erro.

Em um caso extremo, com uma probabilidade de ocorrência bastante baixa, pode ocorrer do plano *pull-up* da porta ser afetado por falhas SOF nos transistores T_1 e T_2 e o plano *pull-down* ser afetado por falha SOnF nos transistores T_3 e T_4 , fazendo com que ambos os planos sejam afetados ao mesmo tempo, resultando na observação do erro na saída. Do mesmo modo, a observação do erro na saída também ocorrerá com a presença de qualquer um dos dois casos.

Figura 4.12 Exemplo da porta lógica NOR2 (a) Esquemático de transistores e (b) Lógica de chaves representando o estado “ $AB=00$ ”



Fonte: O autor

Considerando que a condição de alta ou baixa impedância na saída sejam eventos distintos, a probabilidade de erro dada uma combinação será computada utilizando a união da probabilidade destes dois eventos, visto que a ocorrência de qualquer um deles resulta em uma observação do erro. Dada a probabilidade de erro computada em uma combinação de entrada i , em relação à falha SOnF e SOF, representadas por $p_{i_SO\text{n}F}$ e $p_{i_SO\text{F}}$, respectivamente, a probabilidade de erro da combinação denotada por p_i será calculada conforme a Equação 16.

$$p_i = p_{i_SO\text{n}F} + p_{i_SO\text{F}} - (p_{i_SO\text{n}F} * p_{i_SO\text{F}}) \quad (16)$$

O resultado da Equação 12 representa a probabilidade de erro considerando a ocorrência de pelo menos uma das duas falhas, dada uma combinação de entrada i . Ao final das combinações de entrada, é possível criar a PTM com os novos valores considerando a presença das duas falhas simultaneamente. Do mesmo modo, a confiabilidade final da porta será obtida conforme a Equação 10.

Para exemplificar, considere as PTMs da porta AOI21 considerando falhas SOnF e SOF, ilustradas na Figura 3.7(b) e Figura 3.7(c), respectivamente. A PTM com a informação das duas falhas é criada utilizando a Equação 16 para cada combinação de entrada da porta. Da mesma forma, a confiabilidade de cada combinação de entrada é obtida utilizando a Equação 17. A Figura 4.13 apresenta os valores calculados para a PTM com a aplicação das equações 16 e 17 nas PTMs da Figura 3.7(b) e (c).

$$q_i = 1 - p_i \quad (17)$$

No exemplo anterior, foram realizados os cálculos para criação das PTMs considerando a probabilidade de ocorrência de pelo menos uma das duas falhas no circuito. Percebe-se com os resultados apresentados na Figura 4.13 que a probabilidade de um erro acontecer considerando a presença de pelo menos uma das duas falhas aumenta, em todas as combinações de entrada. Esse aumento na probabilidade de erro é totalmente esperado, dado o fato de que um erro pode ser observado na saída devido à presença de uma falha SOnF ou uma falha SOF no circuito. Esse mesmo cálculo para a criação da nova matriz da porta AOI21 foi realizado em todas as outras portas lógicas analisadas neste trabalho. Nessa análise foram consideradas as mesmas probabilidades de ocorrência dos vetores de entrada das portas.

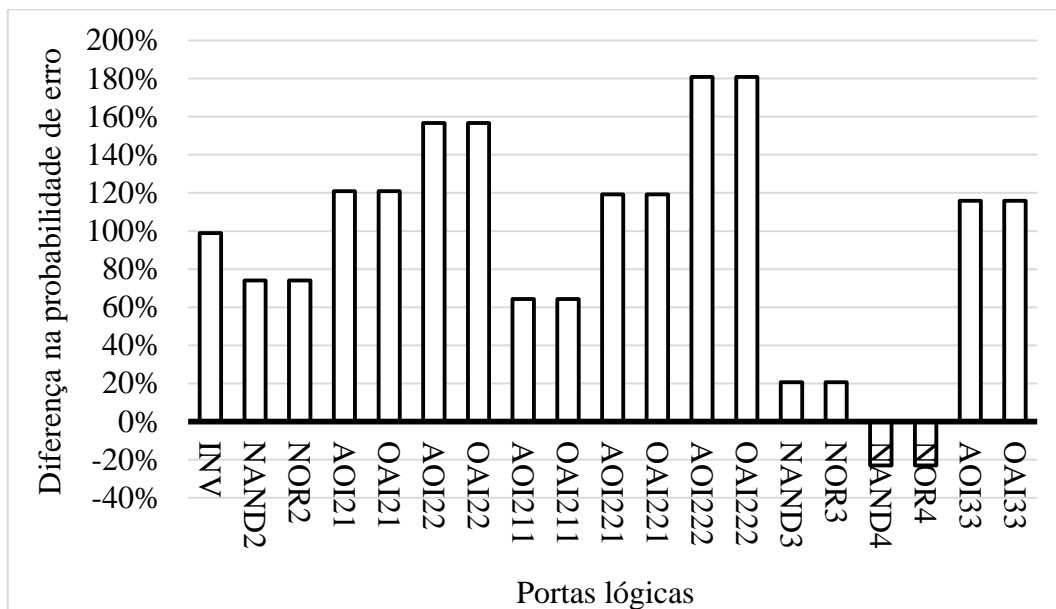
A diferença na probabilidade de erro considerando os valores originais da PTM e os novos valores gerados são apresentados na Figura 4.14. Nota-se que considerando o impacto da probabilidade de ocorrência de qualquer uma das duas falhas, a probabilidade de erro final das portas aumenta em todos os casos comparando com a probabilidade de erro na presença de somente uma falha. A probabilidade de erro quando comparada com os valores originais da PTM é subestimada em 17 dos 19 casos, nos quais apresentaram um aumento na probabilidade de erro. As únicas portas que apresentaram uma redução foram as portas NAND4 e NOR4, devido ao arranjo robusto à ambas as falhas e à probabilidade de ocorrência dos vetores de entrada ser a mesma.

Figura 4.13 PTM criada para a porta AOI21 considerando a presença de SOnF ou SOF

	0	1
000	0,020096	0,979904
001	0,037015	0,962985
010	0,037015	0,962985
011	0,970250	0,029750
100	0,982525	0,017475
101	0,982525	0,017475
110	0,982525	0,017475
111	0,999602	0,000398

Fonte: O autor

Figura 4.14 Diferença na probabilidade de erro das portas entre os valores originais da PTM e considerando a probabilidade de ocorrência de SOnF ou SOF



Fonte: O autor

5 CONCLUSÕES

A estimativa da confiabilidade dos circuitos é um aspecto importante que deve ser considerado no projeto de circuitos modernos. Esta estimativa tem como objetivo auxiliar na tomada de decisão do uso das técnicas de tolerância a falhas, as quais, em função de geralmente explorarem redundância, podem reduzir os ganhos obtidos com a redução da tecnologia. Este trabalho apresenta um método capaz de criar novas PTMs para portas lógicas usando um modelo para falhas que explora a probabilidade de erro em diferentes arranjos de transistores e combinações de entrada.

Em uma breve pesquisa por trabalhos que utilizam a PTM para calcular a confiabilidade dos circuitos, não foram encontrados trabalhos que considerem valores diferentes de probabilidade de erro em diferentes vetores de entrada nas portas lógicas. Essa carência no uso da PTM sem a informação em nível de transistores torna este trabalho o primeiro a inserir este tipo de informação na PTM.

O método proposto funciona como uma informação adicional no cálculo de confiabilidade dos circuitos, visto que na PTM original, a confiabilidade da porta é considerada como probabilidade de ocorrência de um sinal correto na saída, dado um vetor de entrada. Ao considerar somente essa informação de confiabilidade da porta, a PTM acaba por funcionar somente com a informação no nível lógico do circuito. No entanto, ao utilizar o método proposto neste trabalho, a informação em nível de transistores também é considerada ao produzir a PTM destas portas. Com a inserção de mais um nível de informação na criação destas PTMs, espera-se que um aumento na precisão do método que explora a confiabilidade dos circuitos com a PTM seja obtido.

Os resultados gerados neste trabalho para SOnF e SOF podem ser utilizados no cálculo de confiabilidade dos circuitos que utilizem essas portas lógicas. Adicionando essa informação, tem-se uma maior precisão nos resultados, garantindo uma melhor

análise das diferentes configurações dos circuitos na hora de definir a configuração mais confiável.

Para verificar o impacto da adição da informação do arranjo de transistores na PTM das portas lógicas, este trabalho realizou uma análise do impacto na confiabilidade de um *benchmark* ISCAS C17. As PTMs das portas considerando o arranjo de transistores com falhas SOnF utilizando um fator de confiabilidade da tecnologia $q=0,95$, também utilizado por (SINGH *et al.*, 2012) fez com que a probabilidade de erro do circuito aumentasse em cerca de 23% em comparação com os valores originais da PTM.

Analisando este mesmo circuito, adotando as PTMs que consideram o arranjo de transistores e falhas SOF, foi realizado o cálculo da probabilidade de erro considerando um fator de confiabilidade da tecnologia $q=0,99$. Considerando os valores das PTMs disponibilizadas neste trabalho, a probabilidade de erro do circuito foi de 4,9%, enquanto que considerando as PTMs originais destas portas, que não consideram o arranjo, a probabilidade de erro computada foi de 4,8%. Uma pequena diferença na probabilidade de erro foi observada, mas a riqueza da análise foi perceber que uma mesma porta no circuito, dependendo da probabilidade das entradas, pode aumentar, ou até mesmo reduzir a probabilidade de erro do circuito. Esta análise somente foi possível porque a PTM disponibilizada neste trabalho possui diferentes probabilidades de erro para cada combinação de entrada das portas, o que não ocorre na utilização dos valores originais da PTM.

Por fim, para uma maior riqueza de informação, este trabalho considerou o efeito da presença das duas falhas permanentes nas portas lógicas analisadas. Esta análise foi possível devido à complementariedade das falhas, ou seja, as falhas podem afetar o circuito ao mesmo tempo, sendo causadas em planos diferentes devido aos seus comportamentos. Por exemplo, uma porta lógica NAND2 em sua combinação de entrada “ $ab=00$ ” possui sinal esperado da saída como valor lógico “1”. A presença de falha SOnF no plano *pull-down* pode levar a uma condição na qual a saída fique conectada a ambos terminais de alimentação e terra. Por outro lado, a presença de falhas SOF no plano *pull-up* pode fazer a saída flutuar em alta impedância. Nesta mesma combinação, mas com uma probabilidade muito reduzida, também é possível que as falhas SOnF ocorram no plano *pull-down*, ao mesmo tempo que as falhas SOF ocorram no plano *pull-up*, fazendo com que a saída esperada para esta combinação na porta

NAND2 seja alterada de “1” para “0”, propagando a falha para a saída. Com isso, tem-se que uma análise considerando ambas as falhas causa um maior impacto na confiabilidade das portas. Esse impacto gera um aumento na precisão das PTMs criadas para essas portas.

Este trabalho desenvolveu um modelo para criação de PTMs considerando falhas permanentes do tipo SOnF e SOF. Com o desenvolvimento deste método é possível criar PTMs adicionando a informação em nível de transistores nas PTMs das portas lógicas. A importância em inserir a informação no nível de transistores nas PTMs das portas revelou que com a técnica PTM e a informação em nível de transistores é possível definir diretamente as portas lógicas de um circuito que mais necessitam de técnicas de aumento de confiabilidade. Sabendo quais as portas lógicas mais sensíveis, a aplicação das técnicas de redundância acaba por ser otimizada no circuito, garantindo uma maior confiabilidade com o menor impacto possível na área do circuito analisado.

Os resultados gerados nessa dissertação mostram que a inserção de mais um nível de informação na criação das PTMs de portas lógicas combinacionais permite que uma avaliação dos melhores arranjos de transistores seja realizada. Uma potencial aplicação da ferramenta é a sua utilização no projeto de desenvolvimento de uma biblioteca de células mais robusta às falhas SOnF e SOF para uso onde existe uma grande necessidade por confiabilidade. A utilização da ferramenta para avaliação da confiabilidade de uma biblioteca acaba por gerar resultados de confiabilidade mais precisos e essa informação pode ser utilizada pelos projetistas na definição de qual seria a melhor escolha. Os resultados poderiam ser comparados utilizando qualquer valor de confiabilidade da tecnologia para geração da confiabilidade das portas.

REFERÊNCIAS

- AVIZIENIS, A. The four-universe information system model for the study of fault tolerance. **International Symposium on Fault-Tolerant Computing**, 1982. 6-12.
- BEG, A.; IBRAHIM, W. On teaching circuit reliability. **Annual Frontiers in Education Conference**, 2008.
- BIROLINI, A. **Quality and reliability of technical systems: theory, practice, management**. [S.l.]: Springer Science & Business Media, 2012.
- BORKAR, S. Designing reliable systems from unreliable components: the challenges of transistor variability and degradation. **Micro, IEEE**, v. 25, n. 6, p. 10-16, 2005.
- BORKAR, S. et al. Parameter variations and impact on circuits and microarchitecture. **Design Automation Conference**, 2003. 338-342.
- BREUER, M. A.; GUPTA, S. K.; MAK, T. M. Defect and error tolerance in the presence of massive numbers of defects. **IEEE Design & Test of Computers**, n. 3, p. 216-227, 2004.
- BUTZEN, P. F. et al. **Efeitos Físicos Nanométricos em Circuitos Integrados Digitais**. Pelotas: Universidade Federal de Pelotas, 2009.
- CHAMPAC, V. et al. Testing of stuck-open faults in nanometer technologies. **Design & Test of Computers, IEEE**, v. 29, n. 4, p. 80-91, 2012.
- FANG, L.; HSIAO, M. S. Bilateral testing of nano-scale fault-tolerant circuits. **Journal of Electronic Testing**, v. 24, n. 1-3, p. 285-296, 2008.
- FRANCO, D. T. **Fiabilité du signal des circuits logiques combinatoires sous fautes simultanées multiples**. [S.l.]: Télécom ParisTech. 2008.
- FRANCO, D. T. et al. Reliability analysis of logic circuits based on signal probability. **International Conference on Electronics, Circuits and Systems**, p. 670-673, 2008. ISSN 978-1-4244-2181-7.
- GOMEZ, R. et al. **A modern look at the CMOS stuck-open fault**. Test Workshop, 2009. LATW'09. 10th Latin American. [S.l.]: [s.n.]. 2009. p. 1-6.
- KRISHNASWAMY, S. et al. Accurate reliability evaluation and enhancement via probabilistic transfer matrices. **Proceedings of Design, Automation and Test in Europe**, v. I, p. 282-287, 2005. ISSN 0769522882.

- KRISHNASWAMY, S. et al. Probabilistic Transfer Matrices in Symbolic Reliability Analysis of Logic Circuits. **ACM Trans. Des. Autom. Electron. Syst.**, v. 13, n. 1, p. 8:1--8:35, 2008. ISSN 1084-4309.
- KUMARI, K. et al. Review of leakage power reduction in CMOS circuits. **American Journal of Electrical and Electronic Engineering**, 2, n. 4, 2014. 133-136.
- MATTOS, J.; ROSA JR, L.; PILLA, M. (. Desafios e avanços em computação: o estado da arte. Pelotas: [s.n.], 2009. p. pp. 221-240.
- METRA, C.; FAVALLI, M.; RICCO, B. **Compact and low power on-line self-testing voting scheme**. International Symposium on Defect and Fault Tolerance in VLSI Systems. [S.l.]: [s.n.]. 1997. p. 137-145.
- MUKHOPADHYAY, S.; RAYCHOWDHURY, A.; ROY, K. **Accurate estimation of total leakage current in scaled CMOS logic circuits based on compact current modeling**. Design Automation Conference. [S.l.]: [s.n.]. 2003. p. 169-174.
- NARAYANAN, V.; XIE, Y. Reliability concerns in embedded system designs. **Computer**, v. 39, n. 1, p. 118-120, 2006.
- NAVINER, L. A. E. A. **Efficient computation of logic circuits reliability based on probabilistic transfer matrix**. International Conference on Design and Technology of Integrated Systems in Nanoscale Era. [S.l.]: [s.n.]. 2008. p. 1-4.
- NUNES, C. S. **Avaliação de famílias lógicas para circuitos com baixo consumo de potência**. Rio Grande: Universidade Federal do Rio Grande, 2013.
- PATEL, K. N.; HAYES, J.; MARKOV, I. Evaluating circuit reliability under probabilistic gate-level fault models. **Proceedings of the International Workshop on Logic and Synthesis**, p. 59-64, 2003.
- SAMAR K. SAHAR. Compact MOSFET modeling for process variability-aware VLSI circuit design. **IEEE Access**, 2, 2014. 104-115.
- SCHIVITZ, R. B. et al. A probabilistic model for stuck-on faults in combinational logic gates. **Latin American Test Symposium**, Foz do Iguaçu, 2016a.
- SCHIVITZ, R. B. et al. Um Modelo Probabilístico para Criação de PTMs de Portas Lógicas Combinacionais. **IBERCHIP**, 2017.
- SCHIVITZ, R. et al. Inserting Stuck-On fault input dependence on PTM to improve robustness evaluation. **SBCCI**, Belo Horizonte, 29 Agosto 2016b. Aceito para publicação.
- SCHIVITZ, R.; MEINHARDT, C.; BUTZEN, P. F. A PTM Model for Stuck-Open Faults in Combinational Logic Gates. **Simpósio Sul de Microeletrônica**, Porto Alegre, 2016.
- SINGH, N. S. S. et al. Sensitivity analysis of Probability Transfer Matrix (PTM) on same functionality circuit architectures. **International Colloquium on Signal Processing and its Applications**, p. 250-254, 2012. ISSN 978-1-4673-0961-5.
- SINGH, N. S. S.; HAMID, N. H.; ASIRVADAM, V. S. **Accurate modeling method to evaluate reliability of nanoscale circuits**. Electron Devices and Solid State

- Circuit (EDSSC), 2012 IEEE International Conference on. [S.l.]: [s.n.]. 2012. p. 1-4.
- SINGH, N. S. S.; HAMID, N. H.; ASIRVADAM, V. S. Error Threshold for Individual Faulty Gates Using Probabilistic Transfer Matrix (PTM). **AASRI Procedia**, v. 9, n. Csp, p. 138-145, 2014. ISSN 22126716.
- SIRISANTANA, N.; PAUL, B. C.; ROY, K. Enhancing yield at the end of the technology roadmap. **IEEE design & test of computers**, n. 6, p. 563-571, 2004.
- VIAL, J. et al. **Using TMR architectures for yield improvement**. Defect and Fault Tolerance of VLSI Systems, 2008. DFTVS'08. IEEE International Symposium on. [S.l.]: [s.n.]. 2008. p. 7-15.
- WESTE, N. H. E.; HARRIS, D. M. **CMOS VLSI Design a circuits and systems perspective**. 4^a. ed. [S.l.]: Editora Pearson, 2011.
- XIAO, J. et al. A method of gate-level circuit reliability estimation based on iterative PTM model. **Proceedings of IEEE Pacific Rim International Symposium on Dependable Computing, PRDC**, p. 276-277, 2011. ISSN 15410110.